

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-133913

(43) 公開日 平成11年(1999) 5月21日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 0 9 G 3/28

G 0 9 G 3/28

H

審査請求 未請求 請求項の数36 O L (全 40 頁)

(21) 出願番号 特願平10-196016

(22) 出願日 平成10年(1998) 7月10日

(31) 優先権主張番号 特願平9-189443

(32) 優先日 平 9 (1997) 7月15日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平9-231039

(32) 優先日 平 9 (1997) 8月27日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 長岡 慶真

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 高森 孝宏

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

最終頁に続く

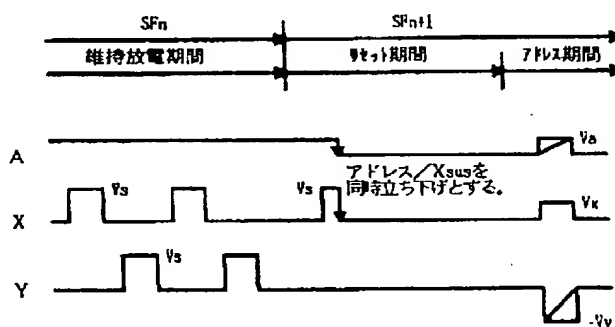
(54) 【発明の名称】 プラズマディスプレイの駆動方法及び駆動装置

(57) 【要約】

【課題】 プラズマディスプレイの駆動時の駆動電圧マージンの改善が可能なプラズマディスプレイの駆動方法及び駆動装置を提供することを目的とする。

【解決手段】 リセット期間における消去放電を、第1及び第2の電極間にて実施される放電形成中にパルス電圧の印加を終了させる細幅パルスにて行うサブフィールドを少なくとも含み、パルス電圧の印加を終了させる細幅パルスの立ち下がりと同時に、第3の電極に印加している電圧パルスを立ち下げる。

本発明の第1の実施例を示す駆動波形図



## 【特許請求の範囲】

【請求項 1】 第 1 の基板に第 1 及び第 2 の電極を平行に配置すると共に、該第 1 の基板又は該第 1 の基板と対向する第 2 の基板に、第 3 の電極を該第 1 及び第 2 の電極と交差するように配置してなり、

1 フレームの映像を  $n$  個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするための消去放電を行うリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することで、前記アドレス期間中に形成した壁電荷に基づいた維持放電を行う維持放電期間とを有するプラズマディスプレイパネルの駆動方法において、

前記リセット期間における前記消去放電を、前記第 1 及び第 2 の電極間にて実施される放電形成中にパルス電圧の印加を終了させるパルス幅が  $2 \mu s$  以下である細幅パルスにて行うサブフィールドを少なくとも含み、前記パルス電圧の印加を終了させる前記細幅パルスの立ち下がりと同時に、前記第 3 の電極に印加している電圧パルスを立ち下げることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 2】 全面書き込み放電及び前記消去放電を共に実施するサブフィールド A と、該リセット期間において、該全面書き込み放電を実施することなく該消去放電を実施するサブフィールド B とを共に有し、少なくとも、該サブフィールド B の該リセット期間における該消去放電が、前記細幅パルスにて行われるものであることを特徴とする請求項 1 記載のプラズマディスプレイパネルの駆動方法。

【請求項 3】 1 フレームの映像を  $n$  個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするための消去放電を行うリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することにより、前記アドレス期間中に形成した壁電荷に基づいた維持放電を行う維持放電期間とを有するプラズマディスプレイパネルの駆動方法において、

前記リセット期間中に、放電形成中にパルス電圧の印加を終了させるパルス幅が  $2 \mu s$  以下である細幅パルスによる第 1 の消去放電と、印加電圧値を連続的に変化させる消去パルスによる第 2 の消去放電とを含むことを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 4】 前記細幅パルスと消去パルスとの間隔を  $10 \mu s$  以上とすることを特徴とする請求項 3 記載のプラズマディスプレイパネルの駆動方法。

【請求項 5】 1 フレームの映像を  $n$  個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の

各表示セルにおける壁電荷の分布を均一な状態にするためのリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することにより、前記アドレス期間中に形成した壁電荷に基づいた維持放電を行う維持放電期間とを有するプラズマディスプレイパネルの駆動方法において、

前記維持放電期間における最後尾の前記維持放電パルスのパルス幅が、他の前記維持放電パルスのものより長くしたサブフィールドを少なくとも含むことを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 6】 前記リセット期間において、全面書き込み放電及び消去放電を共に実施するサブフィールド A と、該リセット期間において、該全面書き込み放電を実施することなく該消去放電を実施するサブフィールド B とを共に有し、最後尾の維持放電パルスのパルス幅を長くした前記サブフィールドは、前記サブフィールド B の直前に配置されることを特徴とする請求項 5 記載のプラズマディスプレイパネルの駆動方法。

【請求項 7】 1 フレームの映像を  $n$  個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするための消去放電を行うリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することにより、前記アドレス期間中に形成した壁電荷に基づいた維持放電を行う維持放電期間とを有するプラズマディスプレイパネルの駆動方法において、

前記リセット期間における消去放電を実施するためのパルスを、その直前に配置されたサブフィールドの前記維持放電期間における最後尾の前記維持放電パルスから、該維持放電期間における該維持放電パルス間の間隔と略等しい間隔をもって印加するサブフィールドを少なくとも含むことを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 8】 前記リセット期間において、前記リセット期間における消去放電として全面書き込み放電及び消去放電を共に実施するサブフィールド A と、該リセット期間において、該リセット放電として該全面書き込み放電を実施することなく該消去放電を実施するサブフィールド B とを共に有し、該サブフィールド B の該リセット期間にて該消去放電を実施するために印加される消去パルスと、その直前に配置されたサブフィールドの前記維持放電期間における最後尾の前記維持放電パルスとの間隔を、該維持放電期間における該維持放電パルス間の間隔と略等しくすることを特徴とする請求項 7 記載のプラズマディスプレイパネルの駆動方法。

【請求項 9】 前記サブフィールド B における前記消去パルスと、直前に配置されたサブフィールドの最後尾の前記維持放電パルスとの間隔を、 $2 \mu s$  以下とすること

を特徴とする請求項 8 記載のプラズマディスプレイパネルの駆動方法。

【請求項 1 0】 1 フレームの映像を  $n$  個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするための消去放電を行うリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することにより、前記アドレス期間中に形成した壁電荷に基づいた維持放電を行う維持放電期間とを有するプラズマディスプレイパネルの駆動方法において、

該リセット期間の直前に配置されたサブフィールドの前記維持放電期間における最後尾の前記維持放電パルスの立ち下がりと同時に、前記第 3 の電極に印加している電圧パルスを立ち下げること特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 1 1】 1 フレームの映像を  $n$  個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするための消去放電を行うリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することにより、前記アドレス期間中に形成した壁電荷に基づいた維持放電を行う維持放電期間とを有するプラズマディスプレイパネルの駆動方法において、前記維持放電期間における前記維持放電パルスの間隔を  $1 \mu s$  以下にすることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 1 2】 第 1 の基板に第 1 及び第 2 の電極を平行に配置すると共に、該第 1 の基板又は該第 1 の基板と対向する第 2 の基板に、第 3 の電極を該第 1 及び第 2 の電極と交差するように配置してなり、

1 フレームの映像を  $n$  個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするための消去放電を行うリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することにより、前記アドレス期間中に形成した壁電荷に基づいた維持放電を行う維持放電期間とを有するプラズマディスプレイパネルの駆動方法において、

前記リセット期間中、全面書き込み放電及び消去放電を共に実施するサブフィールド A を少なくとも含み、該全面書き込み放電を実施する前に、更に消去放電を実施することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 1 3】 前記リセット期間において、全面書き込み放電及び消去放電を共に実施する前記サブフィールド A と、該リセット期間において、該全面書き込み放電を実施することなく該消去放電を実施するサブ

フィールド B とを共に有することを特徴とする請求項 1 2 記載のプラズマディスプレイパネルの駆動方法。

【請求項 1 4】 前記全面書き込み放電の前に実施する消去放電は、放電形成直後にパルス電圧の印加を終了させるパルス幅が  $2 \mu s$  以下である細幅パルス、印加電圧値を連続的に変化させる消去パルスの何れかを印加する消去放電か、或いはその両方をそれぞれ印加することで複数回の消去放電を実施するものであることを特徴とする請求項 1 2 記載のプラズマディスプレイパネルの駆動方法。

【請求項 1 5】 前記リセット期間において、該全面書き込み放電を実施する前に、更に消去放電を実施し、その時の前記第 3 の電極に印加される電圧を  $0 V$  とすることを特徴とする請求項 1 2 記載のプラズマディスプレイパネルの駆動方法。

【請求項 1 6】 前記リセット期間において、全面書き込み放電及び消去放電を共に実施する前記サブフィールド A と、該リセット期間において、該全面書き込み放電を実施することなく該消去放電を実施するサブフィールド B とを共に有することを特徴とする請求項 1 5 記載のプラズマディスプレイパネルの駆動方法。

【請求項 1 7】 第 1 の基板に第 1 及び第 2 の電極を平行に配置すると共に、該第 1 の基板又は該第 1 の基板と対向する第 2 の基板に、第 3 の電極を該第 1 及び第 2 の電極と交差するように配置してなり、

1 フレームの映像を  $n$  個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするための消去放電を行うリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することにより、前記アドレス期間中に形成した壁電荷に基づいた維持放電を行う維持放電期間とを有するプラズマディスプレイパネルの駆動方法において、

前記リセット期間中、全面書き込み放電及び消去放電を共に実施するサブフィールド A を少なくとも含み、該全面書き込み放電を実施する全面書き込みパルスの立ち下がり後、前記第 3 の電極にパルス幅が  $2 \mu s$  以下である細幅パルスを印加することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 1 8】 前記リセット期間において、前記全面書き込みパルスの立ち下がり後、 $10 \mu s$  以内に前記第 3 の電極にパルス幅が  $2 \mu s$  以下である細幅パルスを印加することを特徴とする請求項 1 7 記載のプラズマディスプレイパネルの駆動方法。

【請求項 1 9】 前記リセット期間において、前記全面書き込みパルスの立ち下がり後、前記第 2 の電極に印加電圧値を連続的に変化させる消去パルスを印加することを特徴とする請求項 1 7 記載のプラズマディスプレイパネルの駆動方法。

【請求項20】 1フレームの映像を、それぞれ所定の重み付けがなされたn個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするためのリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することにより、前記アドレス期間中に形成した壁電荷に基づいた維持放電を前記所定の重み付けに対応する長さだけ行う維持放電期間とを有し、

該リセット期間では、全面書き込み放電及び消去放電を共に実施するサブフィールドAと、該全面書き込み放電を実施することなく該消去放電を実施するサブフィールドBとを備えるプラズマディスプレイパネルの駆動方法において、

最も短い前記維持放電期間の後に、全面書き込み放電及び消去放電を共に実施するリセット期間を配置することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項21】 1フレームの映像を、それぞれ所定の重み付けがなされたn個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするためのリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することにより、前記アドレス期間中に形成した壁電荷に基づいた維持放電を前記所定の重み付けに対応する長さだけ行う維持放電期間とを有し、

該リセット期間では、全面書き込み放電及び消去放電を共に実施するサブフィールドAと、該全面書き込み放電を実施することなく該消去放電を実施するサブフィールドBとを備えるプラズマディスプレイパネルの駆動方法において、最も長い前記維持放電期間の後に、全面書き込み放電及び消去放電を共に実施するリセット期間を配置することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項22】 1フレームの映像を、それぞれ所定の重み付けがなされたn個のサブフィールド及び駆動波形を出力しない休止期間にて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするためのリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することにより、前記アドレス期間中に形成した壁電荷に基づいた維持放電を前記所定の重み付けに対応する長さだけ行う維持放電期間とを有し、

該リセット期間中、全面書き込み放電及び消去放電を共に実施するサブフィールドAを少なくとも含むプラズマディスプレイパネルの駆動方法において、前記休止期間は全面書き込み放電を実施する全面書き込みパルス印加後の自己消去期間とすることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項23】 該リセット期間において、全面書き込み放電及び消去放電を共に実施するサブフィールドAと、該全面書き込み放電を実施することなく該消去放電を実施するサブフィールドBとを共に有し、該サブフィールドAの後に前記休止期間とすることを特徴とする請求項22記載のプラズマディスプレイパネルの駆動方法。

【請求項24】 第1の基板に第1及び第2の電極を平行に配置すると共に、該第1の基板又は該第1の基板と対向する第2の基板に、第3の電極を該第1及び第2の電極と交差するように配置してなり、

1フレームの映像をn個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするための消去放電を行うリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することで、前記アドレス期間中に形成した壁電荷に基づいた維持放電を行う維持放電期間とを有するプラズマディスプレイパネルの駆動方法において、

前記リセット期間中に、印加電圧値を連続的に変化させる消去パルスを複数印加する場合、1番目にパルス幅が2 $\mu$ s以下である細幅パルスを前記第1の電極を印加し、2番目に正方向に印加電圧値を連続的に変化させる消去パルスを前記第2の電極に印加し、3番目に負方向に印加電圧値を連続的に変化させる消去パルス、又は、負方向の消去パルスを前記第2の電極に印加することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項25】 前記リセット期間中に、印加電圧値を連続的に変化させる消去パルスを複数印加する場合、4番目に正方向に印加電圧値を連続的に変化させる消去パルスを前記第2の電極に印加することを特徴とする請求項24記載のプラズマディスプレイパネルの駆動方法。

【請求項26】 前記リセット期間中に、印加電圧値を連続的に変化させる消去パルスを複数印加する場合、n番目の正の消去パルスよりn+1番目の正の消去パルスを長くすることを特徴とする請求項25記載のプラズマディスプレイパネルの駆動方法。

【請求項27】 第1の基板に第1及び第2の電極を平行に配置すると共に、該第1の基板又は該第1の基板と対向する第2の基板に、第3の電極を該第1及び第2の電極と交差するように配置してなり、

1フレームの映像をn個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするための消去放電を行うリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することで、前記アドレス期間中に形成した壁電荷に基づいた維持放電を行う維持放電期間とを有するプラズマディスプレイパネルの駆動方法にお

いて、

前記リセット期間中に、印加電圧値を連続的に変化させる消去パルス複数印加する場合、1 番目にパルス幅が  $2 \mu s$  以下である細幅パルスを前記第 1 の電極に印加し、2 番目に正方向に印加電圧値を連続的に変化させる消去パルスを前記第 2 の電極に印加し、3 番目に正方向に印加電圧値を連続的に変化させる消去パルスを前記第 1 の電極に印加することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 2 8】 第 1 の基板に第 1 及び第 2 の電極を平行に配置すると共に、該第 1 の基板又は該第 1 の基板と対向する第 2 の基板に、第 3 の電極を該第 1 及び第 2 の電極と交差するように配置してなり、

1 フレームの映像を  $n$  個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするための消去放電を行うリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することで、前記アドレス期間中に形成した壁電荷に基づいた維持放電を行う維持放電期間とを有するプラズマディスプレイパネルの駆動方法において、

電極に印加される電圧を連続的に変化させ、放電開始電圧に近い電位で放電を行わせることで壁電荷を消去させるリセットパルスを複数個連続して、第 1 ないし第 3 のいずれかの電極に印加することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 2 9】 前記複数個のリセットパルスを第 1 の電極に印加し、第 2 の電極の電位は各リセットパルス毎に異なる値とすることを特徴とする請求項 2 8 記載のプラズマディスプレイパネルの駆動方法。

【請求項 3 0】 前記複数個のリセットパルスを第 1 の電極に印加し、第 3 の電極の電位は各リセットパルス毎に異なる値とすることを特徴とする請求項 2 8 記載のプラズマディスプレイパネルの駆動方法。

【請求項 3 1】 前記複数個のリセットパルスの電圧勾配は等しいことを特徴とする請求項 2 8 ないし 3 0 のいずれか一項記載のプラズマディスプレイパネルの駆動方法。

【請求項 3 2】 前記複数個のリセットパルスについて、 $n + 1$  番目のリセットパルスの前記第 1 の電極と第 2 の電極との最大電位差は、 $n$  番目のリセットパルスにおける前記最大電位差より大きいことを特徴とする請求項 2 9 記載のプラズマディスプレイパネルの駆動方法。

【請求項 3 3】 前記複数個のリセットパルスについて、 $n + 1$  番目のリセットパルスの前記第 1 の電極と第 3 の電極との最大電位差は、 $n$  番目のリセットパルスにおける前記最大電位差より大きいことを特徴とする請求項 3 0 記載のプラズマディスプレイパネルの駆動方法。

【請求項 3 4】 各リセットパルス毎に異なった値とす

る第 2 の電極の電位のうち、少なくとも 1 つは前記アドレス期間中に第 2 の電極に印加する電位と等しいことを特徴とする請求項 2 9 記載のプラズマディスプレイパネルの駆動方法。

【請求項 3 5】 各リセットパルス毎に異なった値とする第 3 の電極の電位のうち、少なくとも 1 つは前記アドレス期間中に第 3 の電極に印加する電位と等しいことを特徴とする請求項 2 9 記載のプラズマディスプレイパネルの駆動方法。

【請求項 3 6】 第 1 の基板に第 1 及び第 2 の電極を平行に配置すると共に、該第 1 の基板又は該第 1 の基板と対向する第 2 の基板に、第 3 の電極を該第 1 及び第 2 の電極と交差するように配置したプラズマディスプレイパネルと、

1 フレームの映像を  $n$  個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするための消去放電を行うリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することで、前記アドレス期間中に形成した壁電荷に基づいた維持放電を行う維持放電期間とでプラズマディスプレイパネルを駆動する第 1 の制御部と、

電極に印加される電圧を連続的に変化させ、放電開始電圧に近い電位で放電を行わせることで壁電荷を消去させるリセットパルスを複数個連続して、第 1 ないし第 3 のいずれかの電極に印加する第 2 の制御部とを有することを特徴とするプラズマディスプレイパネルの駆動装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】近年各種ディスプレイ装置においては、表示すべき情報や設置条件の多用化、大画面化及び高精細化が著しい。従ってこれらに用いられるプラズマディスプレイパネル (Plasma Display Panel: PDP)、CRT、LCD、EL、蛍光表示管、発光ダイオード等の表示装置においては、これらの傾向に対応すべく、表示品質の向上が求められている。

【0 0 0 2】上記の表示装置の内、PDP は、ちらつきが無い、大画面化が容易である、高輝度長寿命等の優れた特長を有することから、最近盛んに開発が行われている。PDP には、2 本の電極で選択放電 (アドレス放電) および維持放電を行う 2 電極型と、第 3 の電極を利用してアドレス放電を行う 3 電極型がある。階調表示を行うカラー PDP では、放電により発生する紫外線によって放電セル内に形成した蛍光体を励起しているが、この蛍光体は、放電により同時に発生する正電荷であるイオンの衝撃に弱いという欠点がある。上記の 2 電極型では、蛍光体がイオンに直接当たるような構成になっているため、蛍光体の寿命低下を招く恐れがある。この問題を回避できるカラー PDP として、面放電を利用した 3

電極構造が一般に知られている。さらに、この 3 電極型においても、第 3 の電極を維持放電を行う第 1 と第 2 の電極が配置されている基板に形成する場合と、対向するもう一つの基板に配置する場合がある。また同一基板に前記の 3 種の電極を形成する場合でも、維持放電を行う 2 本の電極の上に第 3 の電極を配置する場合と、その下に第 3 の電極を配置する場合がある。さらに、蛍光体から発せられた可視光をその蛍光体を透過して見る場合（透過型）と、蛍光体からの反射を見る場合（反射型）がある。また放電を行うセルは、障壁（リブ、又はバリアとも言う）によって、隣接セルとの空間的な結合が断ち切られている。この障壁は、放電セルを取り囲むように 4 方に設けて完全に密封する場合と、一方向のみに設けられて、他の方向は電極間のギャップ（距離）の適正化によって結合を断ち切る場合等がある。

【0003】本発明は、上記に記した各種方式の PDP の駆動方法に関する。

【0004】

【従来の技術】本明細書では、維持放電を行う電極の基板とは別な対向する基板に第 3 の電極を形成するパネルで、障壁が垂直方向（つまり、第 1 電極と第 2 電極に直交し、第 3 電極と平行）にのみ形成され、維持電極の一部が透明電極によって構成されている反射型の例をもとに説明する。

【0005】図 1 は、上記の 3 電極・面放電・AC 型 PDP の概略平面図である。また図 2 は、上記 3 電極・面放電・AC 型 PDP の垂直方向における概略断面図であり、同様に図 3 は、上記 3 電極・面放電・AC 型 PDP の水平方向における概略断面図である。この図 2 及び 3 は、一つの放電セルを示している。PDP は、基本的に 2 枚のガラス基板によって構成されている。前面ガラス基板 18 には平行する維持電極 19 である X 電極 13、Y 電極 14 を備えており、これらの電極は透明電極 19a とバス電極 19b によって構成されている。透明電極 19a は蛍光体 17 からの反射光を透過させる役割があるため、ITO（酸化インジウムを主成分とする透明の導体膜）等によって形成される。また、バス電極 19b は、電極抵抗による電圧ドロップを防ぐため、低抵抗で形成する必要があり、Cr や Cu によって形成される。さらにそれらを、誘電体層（ガラス）20 で被覆し、放電面には保護膜として MgO（酸化マグネシウム）膜 21 を形成する。また、前面ガラス基板 18 と向かい合う背面ガラス基板 16 には、アドレス電極 15 を維持電極 19 と直交する形で形成する。またアドレス電極 15 間には、障壁 11 を形成し、その障壁 11 の間には、アドレス電極 15 を覆う形で赤、緑、青の発光特性を持つ蛍光体 17 を形成する。障壁 11 の尾根と、MgO 21 面が密着する形で 2 枚のガラス基板が組み立てられている。

【0006】図 4 は従来技術を示す駆動波形図であり、

前述の図 1～図 3 に示す PDP を駆動する場合の方法を示すものである。ここでは、いわゆる従来の「アドレス／維持放電期間分離型（ADS）・書き込みアドレス方式」における 1 サブフィールド期間を示している。この例では、1 サブフィールドは、リセット期間、アドレス期間、及び維持放電期間とに分離される。リセット期間においては、例えばまず全ての Y 電極が 0 V レベルにされ、同時に X 電極に電圧  $V_s + V_w$ （約 330 V）からなる全面書き込みパルスが印加される。この結果、以前の表示状態に関わらず、全表示ラインの全セルで放電が行われる。このときのアドレス電極電位は、約 100 V（ $V_{aw}$ ）である。次に X 電極とアドレス電極の電位が 0 V となり、全セルにおいて壁電荷自身の電圧が放電開始電圧を越えて放電が開始される。この放電は、電極間の電位差が無い場合、壁電荷が形成されることは無く、空間電荷は自己中和して放電が終息する。いわゆる自己消去放電である。この自己消去放電によって、パネル内の全セルの状態が、壁電荷の無い均一な状態となる。このリセット期間は、前のサブフィールドの点灯状態に係わらず全てのセルを同じ状態にする作用があり、次のアドレス（書き込み）放電を安定に行うことができる。

【0007】次にアドレス期間において、表示データに応じたセルの ON/OFF を行うために、線順次でアドレス放電が行われる。まず、Y 電極に  $-V_y$  レベル（約 -150 V）のスキャンパルス印加すると共に、アドレス電極中の維持放電を起すセル、すなわち点灯させるセルに対応するアドレス電極に、電圧  $V_a$ （約 50 V）のアドレスパルスを選択的に印加する。この結果、点灯させるセルのアドレス電極と Y 電極の間で放電が起こり、これをブライミング（種火）として X 電極（電圧  $V_x = 50$  V）と Y 電極間の放電に即移行する。前者の放電を「ブライミングアドレス放電」、後者を「主アドレス放電」と称する。これにより、選択ラインの選択セルの X 電極と Y 電極上の MgO 面に維持放電が可能な量の壁電荷が蓄積される。

【0008】以下、順次、他の表示ラインについても同様の動作が行われ、全表示ラインにおいて新たな表示データの書き込みが行われる。その後維持放電期間になると、Y 電極と X 電極に交互に電圧  $V_s$ （約 180 V）からなる維持パルスが印加されて維持放電が行われ、1 サブフィールドの映像表示が行われる。なお、かかる「アドレス／維持放電分離型・書き込みアドレス方式」においては、維持放電期間の長短、つまり維持パルスの回数によって、輝度が決定される。

【0009】図 5 は、アドレス／維持放電分離型・書き込みアドレス方式のタイムチャートであり、多階調表示の一例として 16 階調表示を行う場合の駆動方法を示している。この例では、1 フレームは 4 個のサブフィールド（SF1, SF2, SF3, SF4）に区分される。そしてこれらのサブフィールド SF1～SF4 において

は、リセット期間とアドレス期間とはそれぞれ同一の長さとなる。また維持放電期間の長さは、例えば 1 : 2 : 4 : 8 の比率となる。従って、点灯させるサブフィールドを選択することで、0 から 1 5 までの 1 6 段階の階調表示が可能となる。

【0 0 1 0】上記駆動方法では、各々のサブフィールドがリセット期間を備えており、各々のサブフィールドにて全面書き込みパルスの印加による全面書き込み放電が行われる。このため、本来映像表示に寄与しないリセット期間での発光が各サブフィールドにて生じており、表示画像のコントラストを下げる一因となっている。この問題を解決するため本願出願人は、1 フレーム当たりの前記全面書き込み放電の回数を減らすことで高コントラスト化を図った新規の駆動方法を発明し、既に出願した（特開平 5 - 3 1 3 5 9 8 号公報）。この方法は、リセット期間における全面書き込み放電を一部のサブフィールドのみで実施し、他のサブフィールドにおいては、リセット期間にて消去放電のみを実施するものである。全面書き込み放電の回数が減少することにより、映像表示に寄与しない発光を抑えた高コントラスト駆動が可能である。

#### 【0 0 1 1】

【発明が解決しようとする課題】ONセルを正しく点灯させ、OFFセルを点灯させない駆動を実現する為の各種パルスの電圧値には許容範囲が存在し、ここではその最小値から最大値までの電圧範囲を駆動電圧マージンと称する。まず、駆動電圧マージンに関する第 1 の課題について説明する。単純マトリクスパネル（二重極）の対向電極における細幅パルス消去では、放電形成中に外部印加電圧を打ち切るために、放電時に発生した荷電粒子の大部分は放電セル空間に残留し、パネル誘電体層上の壁電荷に静電引力で吸着され壁面上で再結合して消去される。一方、面放電電極を有した 3 電極パネルでは、この細幅パルス消去動作が同一基板上の面放電電極上で行われるため、放電セル空間の荷電粒子は対向電極上の電位に影響される。

【0 0 1 2】図 6 は残留壁電荷を示す図・1 であり、リセット期間における細幅消去の中和放電中に、対向電極が V<sub>a</sub> となっている場合の残留壁電荷を示す。この場合、対向電極上に多量のマイナス極性電荷を蓄積することになり、消去不良となる。一方、図 7 は残留壁電荷を示す図・2 であり、リセット期間における細幅消去の中和放電中に、対向電極が GND となっている場合の残留壁電荷を示す。この場合、対向電極上に多量のプラス極性電荷を蓄積することになり、消去不良となる。

【0 0 1 3】これらの場合、この消去不良が次のアドレス期間での選択的な壁電荷の形成を阻害し、結果として駆動電圧マージンの悪化につながる事が判明した。次に、駆動電圧マージンに関する第 2 の課題について説明する。リセット期間中に細幅消去放電を行う際に、画素

の不均一性や温度条件の変化から放電開始が予想以上に早まった場合は、必要な壁電荷消去ができないばかりか、消去前の壁電荷状態に対して反転極性の壁電荷を形成する恐れがあり、駆動電圧マージンの減少につながる。

【0 0 1 4】次に、駆動電圧マージンに関する第 3 の課題について説明する。図 8 は、微弱放電による影響を示す図であり、A（アドレス）、X、Y の各電極パルスと共に放電発光パルス（光）が示してある。この放電発光パルスを観察すると、維持放電パルスと次の維持放電パルスの隙間で微弱な発光が存在している。この微弱放電は、次の維持放電自体に与える影響は小さいため、正常に維持放電を繰り返すことが可能である。

【0 0 1 5】しかしながら、この微弱放電は、リセット期間における消去放電（図 8 では細幅放電を用いている）に対しては大きな影響を与えることが判明した。具体的には、この微弱放電により維持放電で形成した壁電荷が減少し、正常な消去放電が阻害され、結果として壁電荷の消去不良となってしまう。これが駆動電圧マージンの減少につながる。

【0 0 1 6】次に、駆動電圧マージンに関する第 4 の課題について説明する。この課題は、特に前述の高コントラスト駆動において問題となるものである。前記の高コントラスト駆動は、一部のサブフィールドを除いて、リセット期間中消去放電のみを行うものである。この消去放電として、直前のサブフィールドにて点灯していたセルの消去のみを行う消去パルスを印加すると、全面書き込み／自己消去パルスを用いた場合に比べて対向電極（アドレス電極）上の残留壁電荷の消去能力が弱体化することが判明した。さらに、サブフィールドを重ねる度にこのリセットしきれない対向側電極上の残留壁電荷が蓄積され続けることで次のフレームの全面書き込み放電への負担が非常に重くなっていた。このため、全面書き込み放電を経ても各セルの電位分布が均一にならない、或いはその後のアドレス放電に悪影響を及ぼすといった問題が生じ、結果として駆動電圧マージンの減少をもたらしていた。

【0 0 1 7】次に、駆動電圧マージンに関する第 5 の課題について説明する。図 5 は、アドレス／維持放電分離型・書き込みアドレス方式のタイムチャートが示す図であり、リセット期間、アドレス期間、維持放電期間、休止期間が示してある。放電維持電圧パルスの回数の変動による駆動期間のトータル時間の変動により、休止期間が変動し、その影響で休止期間後に印加される電圧パルスによる放電状態が変動し、その結果、リセットしなければならない壁電荷量が変動し、結果として駆動電圧マージンの減少をもたらしていた。

【0 0 1 8】次に、駆動電圧マージンに関する第 6 の課題について説明する。この課題は、特に高コントラスト駆動において問題となるものである。高コントラスト駆



動は、一部のサブフィールドを除いて、リセット期間中消去放電のみを行うものであり、この高コントラスト駆動において、消去放電を行うための電圧パルスが一つでは電荷をリセットする確率が低いため、消去不良を起こしてしまう。これが、駆動電圧マージンの減少をもたらしていた。

【0019】さらに、電圧値を連続的に変化させる消去パルスによる壁電荷消去は、回路の簡易性から抵抗器とパネル容量で決定する非直線波形が用いられる。このような非直線波形の場合、消去波形の傾きが急峻な所で放電すると、消去不良が起きる問題があった。本発明は、上記の点に鑑みなされたもので、プラズマディスプレイの駆動時の駆動電圧マージンの改善が可能なプラズマディスプレイの駆動方法及び駆動装置を提供することを目的とする。

#### 【0020】

【課題を解決するための手段】そこで、上記第1の課題を解決するため、請求項1記載の発明は、第1の基板に第1及び第2の電極を平行に配置すると共に、該第1の基板又は該第1の基板と対向する第2の基板に、第3の電極を該第1及び第2の電極と交差するように配置してなり、1フレームの映像をn個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするための消去放電を行うリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することで、前記アドレス期間中に形成した壁電荷に基づいた維持放電を行う維持放電期間とを有するプラズマディスプレイパネルの駆動方法において、前記リセット期間における前記消去放電を、前記第1及び第2の電極間にて実施される放電形成中にパルス電圧の印加を終了させるパルス幅が $2\mu s$ 以下である細幅パルスにて行うサブフィールドを少なくとも含み、前記パルス電圧の印加を終了させる前記細幅パルスの立ち下がりと同時に、前記第3の電極に印加している電圧パルスを立ち下げることとを特徴とする。

【0021】このように、リセット期間に対向電極に印加した電圧を細幅パルスの放電形成時、すなわちパルスの立ち上がり時、及び、残留電荷中和時、すなわちパルスの立ち下がり直後のそれぞれに対応して変化させるようにすることで、多量の残留電荷を生じさせることなく安定動作が実現できる。また、請求項2記載の発明は、全面書き込み放電及び前記消去放電を共に実施するサブフィールドAと、該リセット期間において、該全面書き込み放電を実施することなく該消去放電を実施するサブフィールドBとを共に有し、少なくとも、該サブフィールドBの該リセット期間における該消去放電が、前記細幅パルスにて行われるものであることを特徴とする。

【0022】このように、サブフィールドBのリセット期間における消去放電をパルス幅が $2\mu s$ 以下である細

幅パルスで行い、リセット期間に対向電極に印加した電圧をそのパルスの立ち上がり時、及び、残留電荷中和時、すなわちパルスの立ち下がり直後のそれぞれに対応して変化させるようにすることで、多量の残留電荷を生じさせることなく安定動作が実現できる。

【0023】また、第2の課題を解決するため、請求項3記載の発明は、1フレームの映像をn個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするための消去放電を行うリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することにより、前記アドレス期間中に形成した壁電荷に基づいた維持放電を行う維持放電期間とを有するプラズマディスプレイパネルの駆動方法において、前記リセット期間中に、放電形成中にパルス電圧の印加を終了させるパルス幅が $2\mu s$ 以下である細幅パルスによる第1の消去放電と、印加電圧値を連続的に変化させる消去パルスによる第2の消去放電とを含むことを特徴とする。

【0024】このように、リセット期間中に複数回の消去放電を実施することで反転極性の壁電荷を消去することができる。また、請求項4記載の発明は、前記細幅パルスと消去パルスとの間隔を $10\mu s$ 以上とすることを特徴とする。このように、細幅パルスによる第1の消去放電と消去パルスによる第2の消去放電との間隔を $10\mu s$ 以上とすることで壁電荷量の変動を少なくすることができる。従って、リセットする確率が高まり、細幅パルスによる第1の消去放電によって生成される不安定な壁電荷が安定となり、第2の消去放電により、確実に消去することができる。

【0025】なお、第2の消去放電としては、壁電荷消去量は細幅消去より少なく十分ではないが、細幅パルスによる消去放電の様に電荷反転する恐れのないことから、印加電圧値が連続的に変化するSEP (Slope Erase Pulse) 消去を用いることが適している。また、第3の課題を解決するため、請求項5記載の発明は、1フレームの映像をn個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするためのリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することにより、前記アドレス期間中に形成した壁電荷に基づいた維持放電を行う維持放電期間とを有するプラズマディスプレイパネルの駆動方法において、前記維持放電期間における最後尾の前記維持放電パルスのパルス幅が、他の前記維持放電パルスのものより長くしたサブフィールドを少なくとも含むことを特徴とする。

【0026】このように、最後尾の維持放電パルスのパルス幅を十分広くしているため、維持放電パルスによつ



て発生した荷電粒子のほとんどが壁電荷となり、空間電荷によるブライミング効果が小さくなる。これにより、最後尾の維持放電パルスの印加後に微弱放電が生じることを防止することができる。また、請求項 6 記載の発明は、前記リセット期間において、全面書き込み放電及び消去放電を共に実施するサブフィールド A と、該リセット期間において、該全面書き込み放電を実施することなく該消去放電を実施するサブフィールド B とを共に有し、最後尾の維持放電パルスのパルス幅を長くした前記サブフィールドは、前記サブフィールド B の直前に配置されることを特徴とする。

【0027】このように、最後尾の維持放電パルス幅を長くしたサブフィールドをサブフィールド B の直前に配置することにより、サブフィールド B において、最後尾の維持放電パルスの印加後に微弱放電が生じることを防止することができる。また、請求項 7 記載の発明は、1 フレームの映像を  $n$  個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするための消去放電を行うリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することにより、前記アドレス期間中に形成した壁電荷に基づいた維持放電を行う維持放電期間とを有するプラズマディスプレイパネルの駆動方法において、前記リセット期間における消去放電を実施するためのパルスを、その直前に配置されたサブフィールドの前記維持放電期間における最後尾の前記維持放電パルスから、該維持放電期間における該維持放電パルス間の間隔と略等しい間隔をもって印加するサブフィールドを少なくとも含むことを特徴とする。

【0028】このように、その直前のサブフィールドの維持放電期間における最後尾の維持放電パルスから、その維持放電パルスの間隔と略等しい間隔をもってリセット放電を行うパルスを印加することで、仮に微弱放電が発生したとしても、消去放電がその影響を受けることが防止できる。また、請求項 8 記載の発明は、前記リセット期間において、前記リセット期間における消去放電として全面書き込み放電及び消去放電を共に実施するサブフィールド A と、該リセット期間において、該リセット放電として該全面書き込み放電を実施することなく該消去放電を実施するサブフィールド B とを共に有し、該サブフィールド B の該リセット期間にて該消去放電を実施するために印加される消去パルスと、その直前に配置されたサブフィールドの前記維持放電期間における最後尾の前記維持放電パルスとの間隔を、該維持放電期間における該維持放電パルス間の間隔と略等しくすることを特徴とする。

【0029】このように、その直前のサブフィールドの維持放電期間における最後尾の維持放電パルスから、その維持放電パルスの間隔と略等しい間隔をもってリセッ

ト放電を行うパルスをサブフィールド B に印加することで、仮にサブフィールド B に微弱放電が発生しても、消去放電がその影響を受けることを防止できる。また、請求項 9 記載の発明は、前記サブフィールド B における前記消去パルスと、直前に配置されたサブフィールドの最後尾の前記維持放電パルスとの間隔を、 $2 \mu s$  以下とすることを特徴とする。

【0030】このように、サブフィールド B における消去パルスと、直前のサブフィールドの最後尾の維持放電パルスとの間隔を  $2 \mu s$  以下とすることで、最後尾の維持放電パルスが印加された後直ちに、すなわち維持放電パルス間の間隔と同程度の間隔にて、次のサブフィールド B の消去放電が行われ、特に顕著な効果を得ることができる。なお、前記請求項 7 乃至 9 記載の発明は、前記の請求項 5、6 に係る発明と組み合わせることにより、より確実な効果を期待することができる。

【0031】また、請求項 10 記載の発明は、1 フレームの映像を  $n$  個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするための消去放電を行うリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することにより、前記アドレス期間中に形成した壁電荷に基づいた維持放電を行う維持放電期間とを有するプラズマディスプレイパネルの駆動方法において、該リセット期間の直前に配置されたサブフィールドの前記維持放電期間における最後尾の前記維持放電パルスの立ち下がりと同時に、前記第 3 の電極に印加している電圧パルスを立ち下げることの特徴とする。

【0032】このように、維持放電期間における最後尾の維持放電パルスの立ち下がりと同時に、第 3 の電極に印加している電圧パルスを立ち下げることにより、維持放電期間における第 3 の電極上の壁電荷が均一化され、確実なリセット動作を可能にしている。また、請求項 11 記載の発明は、1 フレームの映像を  $n$  個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするための消去放電を行うリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することにより、前記アドレス期間中に形成した壁電荷に基づいた維持放電を行う維持放電期間とを有するプラズマディスプレイパネルの駆動方法において、前記維持放電期間における前記維持放電パルス間の間隔を  $1 \mu s$  以下とすることを特徴とする。

【0033】このように、維持放電期間における維持放電パルス間の間隔を  $1 \mu s$  以下とすることで、微弱放電による空間電荷が壁電荷として収束する前に、次の維持放電が行えるので、維持放電終了後の第 3 の電極上の壁電荷は減少し、リセット期間における消去放電の負担を減

らすことができる。また、第4の課題を解決するため、請求項12記載の発明は、第1の基板に第1及び第2の電極を平行に配置すると共に、該第1の基板又は該第1の基板と対向する第2の基板に、第3の電極を該第1及び第2の電極と交差するように配置してなり、1フレームの映像をn個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするための消去放電を行うリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することにより、前記アドレス期間中に形成した壁電荷に基づいた維持放電を行う維持放電期間とを有するプラズマディスプレイパネルの駆動方法において、前記リセット期間中、全面書き込み放電及び消去放電を共に実施するサブフィールドAを少なくとも含み、該全面書き込み放電を実施する前に、更に消去放電を実施することを特徴とする。

【0034】このように、全面書き込み放電を行う前に、更に消去放電を行うことにより、全面書き込み放電前の残留壁電荷の状態をほぼ同じ状態にすることができる。したがって、対向電極上に蓄積された電荷の消去をより完全に行うことができる。また、請求項13記載の発明は、前記リセット期間において、全面書き込み放電及び消去放電を共に実施する前記サブフィールドAと、該リセット期間において、該全面書き込み放電を実施することなく該消去放電を実施するサブフィールドBとを共に有することを特徴とする。

【0035】このように、サブフィールドAのリセット期間において、全面書き込み放電を行う前に、更に消去放電を行うことにより、全面書き込み放電前の残留壁電荷の状態をほぼ同じ状態にすることができ、全面書き込み放電の負担を減らすことができる。したがって、対向電極上に蓄積された電荷の消去をより完全に行うことができる。

【0036】また、請求項14記載の発明は、前記全面書き込み放電の前に実施する消去放電は、放電形成直後にパルス電圧の印加を終了させるパルス幅が $2\mu s$ 以下である細幅パルス、印加電圧値を連続的に変化させる消去パルスの何れかを印加する消去放電か、或いはその両方をそれぞれ印加することで複数回の消去放電を実施するものであることを特徴とする。

【0037】このように、全面書き込み放電の前に実施する消去放電は、前記細幅パルス、消去パルスの何れかを印加する消去放電か、或いはその両方をそれぞれ印加することで複数回の消去放電を行うことにより、全面書き込み放電前の残留壁電荷の状態をほぼ同じ状態にすることができ、全面書き込み放電の負担を減らすことができる。したがって、対向電極上に蓄積された電荷の消去をより完全に行うことができる。

【0038】また、請求項15記載の発明は、前記リセット期間において、該全面書き込み放電を実施する前に、更に消去放電を実施し、その時の前記第3の電極に印加される電圧を0Vとすることを特徴とする。このように、全面書き込み放電を行う前に更に消去放電を行い、その時に第3の電極に印加される電圧を0Vにすることにより、全面書き込み放電の負担を減らすことができる。したがって、対向電極上に蓄積された電荷の消去をより完全に行うことができる。

10 【0039】また、請求項16記載の発明は、前記リセット期間において、全面書き込み放電及び消去放電を共に実施する前記サブフィールドAと、該リセット期間において、該全面書き込み放電を実施することなく該消去放電を実施するサブフィールドBとを共に有することを特徴とする。このように、サブフィールドAのリセット期間において、全面書き込み放電を行う前に更に消去放電を行い、その時に第3の電極に印加される電圧を0Vにすることにより、全面書き込み放電の負担を減らすことができる。したがって、対向電極上に蓄積された電荷の消去をより完全に行うことができる。

20 【0040】また、請求項17記載の発明は、第1の基板に第1及び第2の電極を平行に配置すると共に、該第1の基板又は該第1の基板と対向する第2の基板に、第3の電極を該第1及び第2の電極と交差するように配置してなり、1フレームの映像をn個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするための消去放電を行うリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することにより、前記アドレス期間中に形成した壁電荷に基づいた維持放電を行う維持放電期間とを有するプラズマディスプレイパネルの駆動方法において、前記リセット期間中、全面書き込み放電及び消去放電を共に実施するサブフィールドAを少なくとも含み、該全面書き込み放電を実施する全面書き込みパルスの立ち下がり後、前記第3の電極にパルス幅が $2\mu s$ 以下である細幅パルスを印加することを特徴とする。

30 【0041】このように、リセット期間において、全面書き込みパルスの立ち下がり後、第3の電極にパルス幅が $2\mu s$ 以下である細幅パルスを印加することにより、対向電極上に蓄積された電荷の消去をより完全に行い、壁電荷を均一化することができる。また、請求項18記載の発明は、前記リセット期間において、前記全面書き込みパルスの立ち下がり後、 $10\mu s$ 以内に前記第3の電極にパルス幅が $2\mu s$ 以下である細幅パルスを印加することを特徴とする。

40 【0042】このように、リセット期間において、全面書き込みパルスの立ち下がり後、 $10\mu s$ 以内に第3の電極に細幅パルスを印加することにより、対向電極上に

蓄積された電荷の消去がより完全に行われ、特に顕著な効果を得ることができる。また、請求項 19 記載の発明は、前記リセット期間において、前記全面書き込みパルスの立ち下がり後、前記第 2 の電極に印加電圧値を連続的に変化させる消去パルスを印加することを特徴とする。

【0043】このように、リセット期間において、全面書き込みパルスの立ち下がり後、第 3 の電極に印加電圧値を連続的に変化させる消去パルスを印加することにより、対向電極上に蓄積された電荷の消去をより完全に行い、壁電荷を均一化することができる。また、請求項 20 記載の発明は、1 フレームの映像を、それぞれ所定の重み付けがなされた n 個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするためのリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することにより、前記アドレス期間中に形成した壁電荷に基づいた維持放電を前記所定の重み付けに対応する長さだけ行う維持放電期間とを有し、該リセット期間では、全面書き込み放電及び消去放電を共に実施するサブフィールド A と、該全面書き込み放電を実施することなく該消去放電を実施するサブフィールド B とを備えるプラズマディスプレイパネルの駆動方法において、最も短い前記維持放電期間の後に、全面書き込み放電及び消去放電を共に実施するリセット期間を配置することを特徴とする。

【0044】このように、最も短い維持放電期間の後に、全面書き込み放電及び消去放電を共に実施するリセット期間を配置することにより、消去放電後の残留壁電荷の状態をほぼ同じ状態にすることができ、全面書き込み放電の負担を減らすことができる。したがって、対向電極上に蓄積された電荷の消去をより完全に行うことができる。

【0045】また、請求項 21 記載の発明は、1 フレームの映像を、それぞれ所定の重み付けがなされた n 個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするためのリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することにより、前記アドレス期間中に形成した壁電荷に基づいた維持放電を前記所定の重み付けに対応する長さだけ行う維持放電期間とを有し、該リセット期間では、全面書き込み放電及び消去放電を共に実施するサブフィールド A と、該全面書き込み放電を実施することなく該消去放電を実施するサブフィールド B とを備えるプラズマディスプレイパネルの駆動方法において、最も長い前記維持放電期間の後に、全面書き込み放電及び消去放電を共に実施するリセット期間を配置することを特徴とする。

【0046】このように、最も長い維持放電期間の後に、全面書き込み放電及び消去放電を共に実施するリセット期間を配置することにより、対向電極上に蓄積される電荷がもっとも多いときに全面書き込み放電を行うこととなり、全面書き込み放電を効率良く行うことができる。したがって、対向電極上に蓄積された電荷の消去をより完全に行うことができる。

【0047】また、第 5 の課題を解決するため、請求項 22 記載の発明は、1 フレームの映像を、それぞれ所定の重み付けがなされた n 個のサブフィールド及び駆動波形を出力しない休止期間にて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするためのリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することにより、前記アドレス期間中に形成した壁電荷に基づいた維持放電を前記所定の重み付けに対応する長さだけ行う維持放電期間とを有し、該リセット期間中、全面書き込み放電及び消去放電を共に実施するサブフィールド A を少なくとも含むプラズマディスプレイパネルの駆動方法において、前記休止期間は全面書き込み放電を実施する全面書き込みパルス印加後の自己消去期間とすることを特徴とする。

【0048】このように、休止期間を全面書き込みパルス印加後の自己消去期間とすることにより、休止期間の長さによる駆動電圧マージンの変動を小さくすることができる。また、請求項 23 記載の発明は、該リセット期間において、全面書き込み放電及び消去放電を共に実施するサブフィールド A と、該全面書き込み放電を実施することなく該消去放電を実施するサブフィールド B とを共に有し、該サブフィールド A の後を前記休止期間とすることを特徴とする。

【0049】このように、リセット期間において、サブフィールド A の後を休止期間とすることにより、休止期間の長さによる駆動電圧マージンの変動が小さくなり、特に顕著な効果を得ることができる。また、第 6 の課題を解決するため、請求項 24 記載の発明は、第 1 の基板に第 1 及び第 2 の電極を平行に配置すると共に、該第 1 の基板又は該第 1 の基板と対向する第 2 の基板に、第 3 の電極を該第 1 及び第 2 の電極と交差するように配置してなり、1 フレームの映像を n 個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするための消去放電を行うリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することで、前記アドレス期間中に形成した壁電荷に基づいた維持放電を行う維持放電期間とを有するプラズマディスプレイパネルの駆動方法において、前記リセット期間中に、印加電圧値を連続的に変化させる消去パルスを複数印加する場合、1 番

目にパルス幅が  $2 \mu s$  以下である細幅パルスを前記第 1 の電極に印加し、2 番目に正方向に印加電圧値を連続的に変化させる消去パルスを前記第 2 の電極に印加し、3 番目に負方向に印加電圧値を連続的に変化させる消去パルス、又は、負方向の消去パルスを前記第 2 の電極に印加することを特徴とする。

【0050】このように、リセット期間中に、1 番目に細幅パルスを前記第 1 の電極に印加し、2 番目に正方向に印加電圧値を連続的に変化させる消去パルスを第 2 の電極に印加し、3 番目に負方向に印加電圧値を連続的に変化させる消去パルス、又は、負方向の消去パルスを第 2 の電極に印加し、複数個の消去パルスを組み合わせることにより、アドレス選択放電を行う前の残留壁電荷をリセットする確率を高くし、駆動電圧マージンを拡大することができる。

【0051】また、請求項 2 5 記載の発明は、前記リセット期間中に、印加電圧値を連続的に変化させる消去パルスを複数印加する場合、4 番目に正方向に印加電圧値を連続的に変化させる消去パルスを前記第 2 の電極に印加することを特徴とする。このように、リセット期間中に消去パルスを複数印加する場合、4 番目に正方向に印加電圧値を連続的に変化させる消去パルスを第 2 の電極に印加することにより、アドレス選択放電を行う前の残留壁電荷をリセットする確率が高くなり、特に顕著な効果を得ることができる。

【0052】また、請求項 2 6 記載の発明は、前記リセット期間中に、印加電圧値を連続的に変化させる消去パルスを複数印加する場合、 $n$  番目の正の消去パルスより  $n + 1$  番目の正の消去パルスを長くすることを特徴とする。このように、リセット期間中に、印加電圧値を連続的に変化させる消去パルスを複数印加する場合、 $n$  番目の正の消去パルスより  $n + 1$  番目の正の消去パルスを長くすることにより、アドレス選択放電を行う前の残留壁電荷をリセットする確率が高くなり、特に顕著な効果を得ることができる。

【0053】また、請求項 2 7 記載の発明は、第 1 の基板に第 1 及び第 2 の電極を平行に配置すると共に、該第 1 の基板又は該第 1 の基板と対向する第 2 の基板に、第 3 の電極を該第 1 及び第 2 の電極と交差するように配置してなり、1 フレームの映像を  $n$  個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするための消去放電を行うリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することで、前記アドレス期間中に形成した壁電荷に基づいた維持放電を行う維持放電期間とを有するプラズマディスプレイパネルの駆動方法において、前記リセット期間中に、印加電圧値を連続的に変化させる消去パルスを複数印加する場合、1 番目にパルス幅が  $2 \mu s$  以下である細幅パルスを前記第

1 の電極に印加し、2 番目に正方向に印加電圧値を連続的に変化させる消去パルスを前記第 2 の電極に印加し、3 番目に正方向に印加電圧値を連続的に変化させる消去パルスを前記第 1 の電極に印加することを特徴とする。

【0054】このように、リセット期間中に、印加電圧値を連続的に変化させる消去パルスを複数印加する場合、1 番目に細幅パルスを第 1 の電極に印加し、2 番目に正方向に印加電圧値を連続的に変化させる消去パルスを第 2 の電極に印加し、3 番目に正方向に印加電圧値を連続的に変化させる消去パルスを第 1 の電極に印加することにより、アドレス選択放電を行う前の残留壁電荷をリセットする確率を高くし、駆動電圧マージンを拡大することができる。

【0055】また、壁電荷消去のために、前記印加電圧値を連続的に変化させる消去パルスは、直線的な立ち上がり波形が望ましいが、実際には回路の簡易性から、抵抗器とパネル容量で決定される非直線的な立ち上がり波形であり、出来る限り傾きの緩やかな部分で放電させることが理想的であるという観点から、請求項 2 8 記載の発明は、第 1 の基板に第 1 及び第 2 の電極を平行に配置すると共に、該第 1 の基板又は該第 1 の基板と対向する第 2 の基板に、第 3 の電極を該第 1 及び第 2 の電極と交差するように配置してなり、1 フレームの映像を  $n$  個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするための消去放電を行うリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することで、前記アドレス期間中に形成した壁電荷に基づいた維持放電を行う維持放電期間とを有するプラズマディスプレイパネルの駆動方法において、電極に印加される電圧を連続的に変化させ、放電開始電圧に近い電位で放電を行わせることで壁電荷を消去させるリセットパルスを複数個連続して、第 1 ないし第 3 のいずれかの電極に印加することを特徴とする。

【0056】このように、複数個のリセットパルスをいずれかの電極に連続的に印加することで、異なる放電開始電圧を持つ各セルの壁電荷を、放電開始電圧に近い電圧で安定かつ確実に消去（リセット）することができる。また、請求項 2 9 記載の発明は、前記複数個のリセットパルスを第 1 の電極に印加し、第 2 の電極の電位は各リセットパルス毎に異なる値とすることを特徴とする。

【0057】このように、第 1 及び第 2 の電極間の最大電位差が異なるように設定されるため、異なる放電開始電圧を持つ各セルの壁電荷を放電開始電圧に近い電圧でより安定かつ確実に消去（リセット）することができる。また、請求項 3 0 記載の発明は、前記複数個のリセットパルスを第 1 の電極に印加し、第 3 の電極の電位は各リセットパルス毎に異なる値とすることを特徴とす

る。

【0058】このように、第1及び第3の電極間の最大電位差が異なるように設定されるため、異なる放電開始電圧を持つ各セルの壁電荷を放電開始電圧に近い電圧でより安定かつ確実に消去（リセット）することができる。また、請求項31記載の発明は、前記複数個のリセットパルスの電圧勾配は等しいことを特徴とする。

【0059】このように、リセットパルスを生成する回路を簡単に構成できる。また、請求項32記載の発明は、前記複数個のリセットパルスについて、 $n+1$ 番目のリセットパルスの前記第1の電極と第2の電極との最大電位差は、 $n$ 番目のリセットパルスにおける前記最大電位差より大きいことを特徴とする。このように、比較的低い放電開始電圧を有するセルを最初にリセットでき、次に比較的高い放電開始電圧を有するセルをリセットすることができる。

【0060】また、請求項33記載の発明は、前記複数個のリセットパルスについて、 $n+1$ 番目のリセットパルスの前記第1の電極と第3の電極との最大電位差は、 $n$ 番目のリセットパルスにおける前記最大電位差より大きいことを特徴とする。このように、比較的低い放電開始電圧を有するセルを最初にリセットでき、次に比較的高い放電開始電圧を有するセルをリセットすることができる。

【0061】また、請求項34記載の発明は、各リセットパルス毎に異なった値とする第2の電極の電位のうち、少なくとも1つは、前記アドレス期間中に第2の電極に印加する電位と等しいことを特徴とする。このように、第2の電極電位を制御する回路を簡単に構成できる。また、請求項35に記載の発明は、各リセットパルス毎に異なった値とする第3の電極の電位のうち、少なくとも1つは、前記アドレス期間中に第3の電極に印加する電位と等しいことを特徴とする。

【0062】このように、第3の電極電位を制御する回路を簡単に構成できる。また、請求項36記載の発明は、第1の基板に第1及び第2の電極を平行に配置すると共に、該第1の基板又は該第1の基板と対向する第2の基板に、第3の電極を該第1及び第2の電極と交差するように配置したプラズマディスプレイパネルと、1フレームの映像を $n$ 個のサブフィールドにて構成し、各々の該サブフィールドが、パネル内の各表示セルにおける壁電荷の分布を均一な状態にするための消去放電を行うリセット期間と、表示データに応じて該表示セル内に壁電荷を形成するためのアドレス期間と、維持放電パルスを繰り返し印加することで、前記アドレス期間中に形成した壁電荷に基づいた維持放電を行う維持放電期間とでプラズマディスプレイパネルを駆動する第1の制御部と、電極に印加される電圧を連続的に変化させ、放電開始電圧に近い電位で放電を行わせることで壁電荷を消去させるリセットパルスを複数個連続して、第1ないし第

3のいずれかの電極に印加する第2の制御部とを有することを特徴とする。

【0063】このように、複数個のリセットパルスをいずれかの電極に連続的に印加することで、異なる放電開始電圧を持つ各セルの壁電荷を、放電開始電圧に近い電圧で安定かつ確実に消去（リセット）することができる。

【0064】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。図9及び図10はそれぞれ第1、第2の実施例を示す駆動波形図であり、前記高コントラスト駆動方法に対して本実施例を適用したものである。すなわち、サブフィールドSF $n+1$ では全面書き込み放電は行わず、細幅パルス（例えば、パルス幅が $2\mu s$ 以下）からなる消去パルスをX電極に印加することによって、壁電荷を消去している。なお、前記細幅パルスは、放電形成直後にパルス電圧の印加を終了させるものであり、放電時に発生した荷電粒子の大部分は放電セル空間に残留し、パネル誘電体層上の壁電荷に静電引力で吸着され、壁面上で再結合して消去される。これは、以降の実施例においても共通である。

【0065】さて、3電極構造パネルの維持放電期間中の対向電極電位は、維持放電電極間の電位差の中間値としておくことにより、パネルが安定的に動作することが知られている。このため維持放電期間中は、対向電極を正極性電位に維持するわけである。そしてこのことは、細幅パルス（例えば、パルス幅が $2\mu s$ 以下）による消去放電時においても同様である。

【0066】このため、本実施例では、細幅パルスの印加による消去放電の実施により、壁電荷が形成される際の対向電極電位を維持放電電極間の電位差 $V_a$ としている。そして、対向電極電位 $V_a$ の立ち下がりが細幅パルスの立ち上がりと同時にするようにし、且つ、細幅パルスの立ち上がりによって生じる中和放電時の電位をGNDとすることで、前記した細幅消去放電時の対向電極電位の影響を回避している。

【0067】図10に示す第2の実施例は、図9に示す第1実施例の変形例である。X及びY電極それぞれに印加される波形自体は、図9に示す第1実施例と相違するが、X-Y電極間にかかる電位差は図9に示す第1実施例と同一であり、両者は実質的に同じ駆動であると言える。以上の第1、第2実施例により、対向電極電位の影響による多量のマイナス（又はプラス）極性電荷の蓄積を回避してより完全な消去が可能となり、駆動電圧マージンが改善される。

【0068】なお、本実施例では、高コントラスト駆動方法を基に説明しているが、本実施例の原理は必ずしも高コントラスト駆動方法に限定されるものではない。例えば、全てのサブフィールドのリセット期間において、全面書き込み／細幅消去放電を実施するような場合であ

れば、本実施例と同様な効果が期待できる。また、逆に、全てのサブフィールドのリセット期間において、全面書き込み放電を行うことなく細幅消去放電を行うような場合でも有効であろう。

【0069】図11は第3実施例を示す駆動波形図であり、高コントラスト駆動を示すものである。n番目のサブフィールドSF<sub>n</sub>において最終維持放電を行ったセルは、X電極に正電荷、Y電極に負電荷を蓄積している。同図では、X、Y電極上のおおよその壁電荷量を概念的に示している。次のサブフィールドであるSF<sub>n+1</sub>では、全面書き込み放電は行わず、第1の消去パルスである細幅パルスをX電極に印加することによって、壁電荷を消去している。

【0070】この時、画素の不均一性や温度条件の変化から、放電開始が予想以上に早まった場合は、消去前の壁電荷に対して反対の極性の壁電荷をX、Y双方に蓄積してしまう。同図の例では、消去パルスの印加前より減少しているものの、X、Y電極上に壁電荷が蓄積され、消去不良の状態となっている。しかしながら、本実施例では、次に配置した第2の消去パルスであるSEP (Slope Erase Pulse) によって、消去不良の状態をより完全消去の状態に近づけている。なお、SEPは第1の消去パルスである細幅パルスから10μs以上の間隔を空けて設けられることが望ましい。これは、SEPと第1の消去パルスである細幅パルスとの間隔が10μs以下であると、電荷状態が不安定なまま消去動作を行うことになるからである。

【0071】図11の例では、第2の消去パルスによる消去動作後、X、Y電極上に残留する壁電荷はごく微量となっており、この程度の残留電荷はこの後のアドレス期間に対して悪影響を与えることはない。なお、第2の消去パルスとしては、壁電荷消去量は細幅消去より少なく十分ではないが、細幅の様に電荷反転する恐れのないことから、SEPを用いることが望ましい。SEPは、ゆるやかな傾斜をもって立ち上がるパルスであり、立ち上がり中のパルス電圧が放電電圧に到達したセルから順次放電が行われるため、実質的に各セルには、最適電圧（放電開始電圧にほぼ等しい電圧）が印加されたことになる。このため、セルに極性反転した電荷を残留させることがない。

【0072】以上の第3実施例により、リセット期間の消去動作において、消去不良となることなくほぼ完全な消去動作が実現でき、駆動電圧マージンが改善される。なお、全てのサブフィールドのリセット期間においても全面書き込み放電を行うことなく細幅消去放電を行うような場合でも、本実施例は有効であろう。また、複数の消去放電としては、前記の細幅／SEPの組み合わせ以外でも、例えば、細幅／細幅、SEP／SEP、SEP／細幅等の組み合わせも可能である。

【0073】図12は、第4実施例を示す駆動波形図で

あり、高コントラスト駆動方法に対して本実施例を適用したものである。すなわち、サブフィールドSF<sub>n+1</sub>では全面書き込み放電は行わず、細幅パルスからなる消去パルスをX電極に印加することによって、壁電荷を消去している。図8を利用して説明したように、維持放電期間の各維持パルスの立ち下がり後には微弱放電が生じており、特に最後尾の維持放電パルスの立ち下がり後に発生した微弱放電が、その後に行う消去放電に悪影響を及ぼしていた。

【0074】しかしながら、本実施例においては、最後尾の維持放電パルスのパルス幅を、その他の維持放電パルスのパルス幅よりも長くしている。その結果、本実施例では、パルス幅を長くした最後尾の維持放電パルスの立ち下がり後に微弱放電は発生せず、その後の細幅放電も正常に実施することが可能となっている。なお、最後尾の維持放電パルスのパルス幅は、微弱放電を防止するためには、少なくとも3μs以上必要であることが実験的に確認されている。

【0075】以上の第4実施例により、最後尾の維持放電パルス立ち下がり後の微弱放電に起因するリセット期間における消去動作不良を防止することができ、駆動電圧マージンが改善される。なお、本実施例では、高コントラスト駆動方法を基に説明しているが、本実施例の原理は必ずしも高コントラスト駆動方法に限定されるものではない。全てのサブフィールドのリセット期間において全面書き込み放電を実施するような駆動方法であっても、本実施例と同様な効果が期待できる。また逆に、全てのサブフィールドのリセット期間において、全面書き込み放電を行うことなく細幅消去放電を行うような場合でも有効であろう。

【0076】図13は、第5実施例を示す駆動波形図であり、高コントラスト駆動方法に対して本実施例を適用したものである。すなわち、サブフィールドSF<sub>n+1</sub>では全面書き込み放電は行わず、細幅パルスからなる消去パルスをX電極に印加することによって、壁電荷を消去している。本実施例においては、最後尾の維持放電パルスと、続く全面書き込み放電を行わないサブフィールドにおけるリセット期間にて印加される細幅パルスとの間隔を、同一サブフィールドの維持放電期間における維持放電パルス間の間隔と同程度に狭いものとしている。

【0077】図8を利用して説明したように、最後尾の維持放電パルスの立ち下がり後には微弱放電が発生し、正常な消去放電に悪影響を及ぼしていた。しかし、この微弱放電は、前記したように、連続して印加される維持放電パルスに対しては、ほとんど影響を及ぼさないことが判っている。微弱放電が各維持放電に対して影響を及ぼさない理由は、微弱放電の発生後に直ちに次のパルスを印加しているからであると思われる。

【0078】本実施例では、この点を考慮し、最後尾の維持放電パルスとそれに続くサブフィールド（全面書き



込み放電を行わないもの)におけるリセット期間中の細幅パルスとの間隔を、維持放電パルス間の間隔と同程度に狭いものとした。この間隔は、 $2\mu s$ 以下とすることが適当である。以上、第5の実施例により、図11の光パルスから判るように最後尾の維持放電パルス立ち下げ後に微弱放電は起きているものの、続く細幅放電は正常に行うことが可能となり、駆動電圧マージンが改善される。

【0079】なお、本実施例では、高コントラスト駆動方法を基に説明しているが、本実施例の原理は必ずしも高コントラスト駆動方法に限定されるものではない。全てのサブフィールドのリセット期間において全面書き込み放電を実施するような駆動方法であっても、本実施例と同様な効果が期待できる。この場合、最後尾の維持放電パルスと続くサブフィールドにおけるリセット期間中の全面書き込みパルスとの間隔を、維持放電パルス間の間隔と同程度に狭いものとするようになる。また、逆に、全てのサブフィールドのリセット期間において、全面書き込み放電を行うことなく消去放電(例えば、細幅消去)を行うような場合でも有効であろう。

【0080】図14は、第6実施例を示す駆動波形図であり、前記の第4実施例と第5実施例とを組み合わせたものである。すなわち、本実施例においては、最後尾の維持放電パルスのパルス幅をその他の維持放電パルスのパルス幅より長くしている。そして更に、最後尾の維持放電パルスと、その次のサブフィールド(全面書き込み放電を行わないもの)におけるリセット期間中の細幅パルスとの間隔を、維持放電期間における維持放電パルス間の間隔と同程度に狭いものとしている。

【0081】本実施例は、第4実施例の内容を含んでいるため、最後尾の維持放電パルスの立ち下げ時に微弱放電は本来起こらないはずである。しかしながら、パネル条件のバラツキ等により仮に微弱放電が発生してしまったとしても正常な細幅消去が実現できるように、本実施例は更に第5実施例の内容を付加している。これにより、本実施例は消去放電をより確実なものとしている。

【0082】以上の第6実施例により、最後尾の維持放電パルス立ち下げ後の微弱放電に起因するリセット期間での消去動作不良を防止することができ、駆動電圧マージンが改善される。また、同図に示す高コントラスト駆動方法に限定されるものではない点においても、先に説明した実施例と同様である。図15は、第7実施例を示す駆動波形図であり、サブフィールド $SF_{n+1}$ では全面書き込み/自己消去パルスをX電極に印加することによって、壁電荷を消去している。

【0083】本実施例においては、最後尾の維持放電パルスの立ち下がりと同向電極電位 $V_a$ の立ち下がりとを同時にすることで、対向電極であるアドレス電極上の壁電荷を均一化している。なお、維持放電期間における維持放電パルス間隔は、微弱放電による第3の電極上の

壁電荷を減少させるために、 $1\mu s$ 以下にすることが望ましいことが確認されている。

【0084】以上の第7実施例により、対向電極であるアドレス電極上の壁電荷を均一化することができ、リセット期間での消去動作不良を防止し、駆動電圧マージンが改善される。また、本実施例は同図に示す駆動方法に限定されるものではなく、例えば、高コントラスト駆動方法においても有効であろう。次に、図16、図17、図18は、それぞれ第8、第9、第10の実施例を示す駆動波形図であり、高コントラスト駆動方法に適用した例を示している。これらの実施例では、全面書き込み放電を行うサブフィールドの直前に、消去機能を有したパルス、例えば細幅パルス、SEP、或いはその両方を印加するものである。この消去パルスの印加により、数少ない全面書き込み放電への負担を軽減することができる。すなわち、全面書き込み放電前の残留壁電荷状態を直前のサブフィールドの点灯状態に関わらず常に同じ状態にすることができるため、対向電極上の残留壁電荷の消去をより完全な形で行うことができる。

【0085】第8実施例は、サブフィールド $SF_{n+1}$ のリセット期間における消去パルスを全面書き込み/自己消去パルスとし、直前のサブフィールド $SF_n$ の維持放電期間の次に細幅パルスを配置した例である。また、第9実施例は、サブフィールド $SF_{n+1}$ のリセット期間における消去パルスを全面書き込み/自己消去パルスとし、直前のサブフィールド $SF_n$ の維持放電期間の次に細幅、SEPを配置した例である。

【0086】また、第10実施例は、サブフィールド $SF_{n+1}$ のリセット期間における消去パルスを全面書き込み/自己消去パルスとし、直前のサブフィールド $SF_n$ の維持放電期間の次に細幅パルス及びSEPを配置した例である。これらのパルスにより、全面書き込み放電の前の残留壁電荷状態を、直前のサブフィールドの点灯状態に関わらずほぼ同じ状態にできる。

【0087】以上の第8、第9、第10実施例により、リセット期間における全面書き込み/自己消去パルスによる対向側電荷の消去をより完全な形で行うことができ、駆動電圧マージンが改善される。なお、本実施例では高コントラスト駆動方法を基に説明しているが、本実施例の原理は必ずしも高コントラスト駆動方法に限定されるものではない。全てのサブフィールドのリセット期間において、全面書き込み放電を実施するような駆動方法であっても、本実施例と同様な効果が期待できる。

【0088】図19は、第11実施例を示す駆動波形図であり、高コントラスト駆動方式に適用した例を示している。本実施例では、全面書き込み放電を行う前に、更に消去放電を行い、その時の第3の電極であるアドレス電極に印加する電圧を0Vとしている。このように、消去放電時にアドレス電極に印加する電圧を0Vとすることにより、全面書き込み放電前の残留壁電荷状態を常に



同じ状態にすることができるため、対向電極上の残留壁電荷の消去をより完全な形で行うことができるのである。

【0089】以上の第11実施例により、リセット期間における全面書き込み／自己消去パルスによる対向側電荷の消去をより完全な形で行うことができ、駆動電圧マージンが改善される。なお、本実施例では高コントラスト駆動方法を基に説明しているが、本実施例の原理は必ずしも高コントラスト駆動方法に限定されるものではない。全てのサブフィールドのリセット期間において、全

面書き込み放電を実施するような駆動方法であっても、本実施例と同様な効果が期待できる。

【0090】図20は、第12実施例を示す駆動波形図であり、高コントラスト駆動方法に対して本実施例を適用したものである。本実施例では、リセット期間において、全面書き込み放電を行う前に、更に消去放電を行い、全面書き込み放電を実施する全面書き込みパルスの立ち下がり後、第3の電極であるアドレス電極に細幅パルスを印加している。これにより、全面書き込み放電後に

残留壁電荷が残っていたとしても、アドレス電極上の残留壁電荷の消去をより完全な形で行うことができる。

【0091】なお、全面書き込み放電を実施する全面書き込みパルスの立ち下がり後、第3の電極であるアドレス電極に印加される細幅パルスの立ち上がりとの間隔は、 $10\mu s$ 以内であることが望ましいことが実験的に確認されている。以上の第12実施例により、リセット期間における全面書き込み／自己消去パルスによる対向側電荷の消去をより完全な形で行うことができ、駆動電圧マージンが改善される。また、同図に示す高コントラスト駆動方法に限定されるものではない点においても、

先に説明した実施例と同様である。

【0092】図21は、第13実施例を示す駆動波形図であり、リセット期間の一部のみを図示したものである。本実施例は、リセット期間において、全面書き込みパルスの立ち下がり後、第3の電極であるアドレス電極にアドレス細幅パルスを印加し、更に、第2の電極に印加電圧値を連続的に変化させる消去パルスSEPを印加している。この結果、全面書き込み放電後に残留壁電荷が残っていたとしても、アドレス細幅パルス及び印加電圧値を連続的に変化させる消去パルスSEPの組み合わせによってアドレス電極上の残留壁電荷の消去をより完全な形で行うことができる。

【0093】以上の第13実施例により、リセット期間における全面書き込み／自己消去パルスによる対向側電荷の消去をより完全な形で行うことができ、駆動電圧マージンが改善される。また、同図に示す高コントラスト駆動方法に限定されるものではない点においても、先に説明した実施例と同様である。図22は、第14実施例における駆動波形配置図であり、全サブフィールド数が

フィールド中の各期間の配置順序がリセット、アドレス、維持放電の場合を示し、図22(B)は1サブフィールド中の各期間の配置順序がアドレス、維持放電、リセットの場合を示し、図22(C)は1サブフィールド中の各期間の配置順序がリセット(全面書き込みパルスを含む)、アドレス、維持放電、リセット(全面書き込みパルスを含まない)の場合を示す。

【0094】本実施例では、高コントラスト駆動方法において、最も短い維持放電期間の後、又は、最も長い維持放電期間の後に全面書き込み／自己消去パルスを印加するリセット期間を配置している。例えば、最も短い維持放電期間の後に全面書き込み／自己消去パルスを印加するリセット期間が配置される場合、図22(A)ではサブフィールド(SF)2のリセット期間24、図22(B)ではSF1のリセット期間25、図22(C)ではSF1の最後尾にあるリセット期間27に夫々配置される。

【0095】全面書き込み放電を行うサブフィールドを少なくすると、対向電極上にリセットしきれない残留壁電荷が蓄積し、数少ない全面書き込み放電への負担が大きくなるわけであるが、この残留壁電荷は維持放電期間中においても蓄積する。したがって、全面書き込み放電への負担を少なくするためには、その直前のサブフィールドの維持放電期間は、短い方が良いのである。

【0096】一方、最も長い維持放電期間の後に全面書き込み／自己消去パルスを印加するリセット期間が配置される場合、図22(A)ではSF1のリセット期間23、図22(B)ではSF4のリセット期間26、図22(C)ではSF4の最後尾にあるリセット期間28に夫々配置される。全面書き込み放電を行うサブフィールドを少なくすると、対向電極上にリセットしきれない残留壁電荷が蓄積し、数少ない全面書き込み放電への負担が大きくなるわけであるが、この残留壁電荷は維持放電期間中においても蓄積する。したがって、全面書き込み放電の効果を大きくするためには、その直前のサブフィールドの維持放電期間は、長い方が良いのである。

【0097】以上、第14実施例により、維持放電期間中对向電極上に蓄積する残留壁電荷の影響を最小限に抑えられ、次の消去動作をより完全な形で行うことが可能となり、駆動電圧マージンが改善される。図23は、第15実施例を示す駆動波形図であり、高コントラスト駆動方法に対して本実施例を適用したものである。なお、サブフィールドAは、図16の第8実施例に示すように、全面書き込み放電を行うサブフィールドの直前に、消去機能を有したパルスを印加している。

【0098】本実施例は、駆動波形を出力しない休止期間を全面書き込みパルス印加後の自己消去期間とし、更に、全面書き込み放電及び消去放電を共に行うサブフィールドAの後に休止期間を設けることとしている。これは、前記のように休止期間を設けることにより、リセッ

トしなければならない壁電荷量が最も安定し、消去放電を確実なものとしているのである。

【0099】以上、第15実施例により、休止期間の変動による壁電荷量の変動を小さくすることができ、駆動電圧マージンが改善される。また、同図に示す高コントラスト駆動方法に限定されるものではない点においても、先に説明した実施例と同様である。次に、図24、図25は、それぞれ第16、第17実施例を示す駆動波形図であり、高コントラスト駆動方法に適用した例を示している。なお、図24及び図25は、リセット期間の

一部を図示したものである。

【0100】これらの実施例では、リセット期間において、複数の消去パルスを組み合わせて利用することにより、1つの消去放電で残留壁電荷の消去を行うよりも高い確率で残留壁電荷の消去を行うことができる。図24

(A)の実施例は、リセット期間において、1番目に細幅パルスを第1の電極に印加し、2番目に正方向に印加電圧値を連続的に変化させる消去パルスSEPを第2の電極に印加し、3番目に負方向のSEPを印加した例である。また、図24(B)の実施例は、リセット期間において、1番目に細幅パルスを第1の電極に印加し、2番目に正方向に印加電圧値を連続的に変化させる消去パルスSEPを第2の電極に印加し、3番目に負方向に印加する消去パルスを第2の電極に印加した例である。

【0101】また、図25(A)の実施例は、図24

(A)に示す実施例に4番目の消去パルスを印加したものであり、また、図25(B)の実施例は、図24

(B)に示す実施例に4番目の消去パルスを印加したものである。その4番目の消去パルスは、第2の電極に印加される正方向のSEPである。ここで、前記2番目に正方向に印加電圧値を連続的に変化させる消去パルスSEPは、前記4番目に印加される正方向のSEPに比べて長くすることで、より良い効果が得られることが実験的に確認されている。したがって、 $n+1$ 番目に正方向に印加電圧値を連続的に変化させる消去パルスSEPは、 $n$ 番目に印加される正方向のSEPに比べて長くすることが望ましい。

【0102】以上、第16及び第17実施例により、複数の消去パルスを組み合わせることで、アドレス選択放電を行う前の残留壁電荷をリセットする確率を高くすることができ、駆動電圧マージンが改善される。図26は、第18実施例を示す駆動波形図であり、高コントラスト駆動方法に適用した例を示している。なお、図26は、リセット期間の一部を図示したものである。

【0103】これらの実施例では、リセット期間において、複数の消去パルスを組み合わせて利用することにより、1つの消去放電で残留壁電荷の消去を行うよりも高い確率で残留壁電荷の消去を行うことができる。本実施例は、リセット期間において、1番目に細幅パルスを第1の電極に印加し、2番目に正方向に印加電圧値を連続

的に変化させる消去パルスSEPを第2の電極に印加し、3番目に正方向のSEPを第1の電極に印加した例である。

【0104】以上、第18実施例により、複数の消去パルスを組み合わせることで、アドレス選択放電を行う前の残留壁電荷をリセットする確率を高くすることができ、駆動電圧マージンが改善される。図27は、本発明の第19、第20実施例の原理を示す波形図である。リセット期間中に、2つのSEPリセットパルスを連続してY電極に印加する。放電相手電極であるX電極の電位は、最初のSEPリセットパルスに対しては所定レベルだけ持ち上げ、次のSEPリセットパルスに対しては元のレベル(例えば0V)に戻す。すなわち、最初のSEPリセットパルスが印加されている期間のX電極とY電極の最大電位差は、2番目のSEPリセットパルスが印加されている期間の最大電位差よりも小さい。この結果、セルBの放電開始電圧 $V_{fc}$ に到達した後、所定の放電遅れ時間 $t$ を経過した後に放電が実際に始まる放電開始電圧 $V_5$ はほぼ $V_{fc}$ に等しくなり、壁電荷を消去することができる。

【0105】最初のSEPリセットパルスでは、セルAの壁電荷を消去することは困難である。何故なら、最初のSEPリセットパルスが印加されている期間のX電極とY電極の最大電位差( $=V_s - (V_{fa} - V_{fb})$ )は、セルAをリセットするためには不十分なためである。よって、このような比較的高い放電開始電圧を有するセルの壁電荷を消去するために、2番目のSEPリセットパルスを印加し、この時のX電極の電位を元に戻して、X電極とY電極の最大電位差を大きくする(最大 $V_s$ )。これにより、2番目のSEPリセットパルスでセルAをリセットすることができる。

【0106】以上の原理に基づき、以下に説明する種々の形態で発明を実施することができる。図28は、本発明の第19の実施例を示す駆動波形図である。プラズマディスプレイパネルのハードウェア構成は、従来の技術で図を参照して説明した通りである。第19の実施例では、リセット期間中において電極 $Y_1 \sim Y_n$ に2つのSEPリセットパルスを印加する。2つのSEPリセットパルスは同一波形である。すなわち、パルス波形の立ち上がりの電圧勾配は等しい。ただし、2つのSEPリセットパルスは異なる波形であってもよい。放電は、 $Y_1 \sim Y_n$ 電極を陽極、X電極を陰極として起こり、壁電荷が消去される。

【0107】X電極の電位は、最初のSEPリセットパルス期間中は、前述のアドレス期間中のブライミング電圧 $V_x$ とし、次のSEPリセットパルス期間中は0Vである。ブライミング電圧 $V_x$ を用いれば新たな電源は必要なく実際の構成では非常に有利であるが、最初のSEPリセットパルス期間中のX電極の電位はブライミング電圧以外の値であってもよい。最初のSEPリセットパ

ルス期間中のX電極とY電極の最大電位差は $V_s - V_x$ で、次のSEPリセットパルス期間中のX電極とY電極の最大電位差 $V_s (> V_s - V_x)$ である。

【0108】図29は、上記第19の実施例の変形例である。図29に示す変形例では、3つのSEPリセットパルスを $Y_1 \sim Y_n$ 電極に与える一方で、最初及び2番目のSEPリセットパルス期間中のX電極の電位をそれぞれ $V_{x1}$ 、 $V_{x2}$ とし( $V_{x1} > V_{x2} > 0V$ )、3段階でX電極とY電極の電位差(最大電位差)を大きく設定することを特徴とする。この構成により、より確実に全てのセルをリセットすることができる。この場合、 $V_{x1} = V_x$ とすれば、 $V_{x2}$ のみ新たに発生させるだけでよい。

【0109】次に、本発明の第20の実施例を図30を参照して説明する。第20の実施例は、Y電極とアドレス電極(A電極)との間で放電を起こして、壁電荷を消去する場合の構成である。すなわち、Y電極を陽極、アドレス電極を陰極として放電を行い、壁電荷を消去する。このように、X電極ではなくアドレス電極を使用する点で、第19の実施例とはこととなるが、基本原理は同じである。

【0110】リセット期間中において電極 $Y_1 \sim Y_n$ に2つのSEPリセットパルスを印加する。2つのSEPリセットパルスは同一波形である。すなわち、パルス波形の立ち上がりの電圧勾配は等しい。ただし、2つのSEPリセットパルスは異なる波形であってもよい。アドレス電極の電位は、最初のSEPリセットパルス期間中は、前述のアドレス期間中のアドレス電圧 $V_a$ とし、次のSEPリセットパルス期間中は0Vである。アドレス電圧 $V_a$ を用いれば新たな電源は必要なく実際の構成では非常に有利であるが、最初のSEPリセットパルス期間中のアドレス電極の電位はアドレス電圧 $V_a$ 以外の値であってもよい。最初のSEPリセットパルス期間中のアドレス電極とY電極の電位差は $V_s - V_a$ で、次のSEPリセットパルス期間中のアドレス電極とY電極の電位差 $V_s (> V_s - V_a)$ である。

【0111】なお、SEPリセットパルスを連続して印加している期間のX電極の電位は、アドレス期間と同様に $V_x$ に設定する。図31は、上記第20の実施例の変形例である。図31に示す変形例では、3つのSEPリセットパルスを $Y_1 \sim Y_n$ 電極に与える一方で、最初及び2番目のSEPリセットパルス期間中のアドレス電極の電位をそれぞれ $V_{a1}$ 、 $V_{a2}$ とし( $V_{a1} > V_{a2} > 0V$ )、3段階でアドレス電極とY電極の電位差(最大電位差)を大きく設定することを特徴とする。この構成により、より確実に全てのセルをリセットすることができる。なお、この場合、 $V_{a1} = V_a$ とすれば、新たに発生させる電圧は $V_{a2}$ のみでよい。

【0112】図32は、本発明のプラズマディスプレイ駆動装置を示すブロック図である。この駆動装置は、前

述の3電極・面放電・AC型プラズマディスプレイを駆動する。アドレス電極は、アドレス線1本毎にアドレスドライバ31に接続され、そのアドレスドライバ31によってアドレス放電時のアドレスパルスが印加される。Y電極もその電極毎に、Yスキヤンドライバ34に接続される。Yスキヤンドライバ34はY側共通ドライバ33に接続されており、アドレス放電時のパルスはYスキヤンドライバ34から発生し、また維持パルス等はY側共通ドライバ33で発生した後、Yスキヤンドライバ34を経由してY電極に印加される。

【0113】SEPドライバ42は、抵抗器43をYスキヤンドライバ34を経由してY電極に電圧(前述のSEPリセットパルス)を印加する。この時の電圧波形は、抵抗器43の抵抗値Rとパネル容量Cとによってきまり、次式で示されるエクスポネンシャルな曲線となる。

$$V = e^{-(t/CR)}$$

X電極は、パネル30の全表示ラインにわたって共通に接続されて取り出される。X電極共通ドライバ32は、書込みパルス、維持パルス等を発生する。

【0114】X共通ドライバ32、Y共通ドライバ33、Yスキヤンドライバ34は制御回路35によって制御される。制御回路35は、装置の外部から入力される同期信号(垂直同期信号VSYNC、水平同期信号HSYNC)や表示データ信号(DATA)によって制御される。制御回路35は、表示データ制御部36とパネル駆動制御部38とを有する。また、駆動波形パターンROM41が制御部35に接続されている。外部からの表示データDATAは、外部からのドットクロックCLOCKに同期して表示データ制御部36内のフレームメモリ37に格納された後、制御信号としてアドレスドライバ31に出力される。パネル駆動制御部38は、スキヤンドライバ制御部39及び共通ドライバ制御部40を具備し、垂直同期信号VSYNC及び水平同期信号HSYNCに同期して、かつ駆動波形パターンROM41内のデータに従って動作する。駆動波形パターンROM41は、図2～図5に示すようなアドレス電極駆動波形、X電極駆動波形及び $Y_1 \sim Y_n$ 電極駆動波形の波形パターンを記述するデータを格納している。パネル駆動制御部38は、垂直同期信号VSYNC及び水平同期信号HSYNCに同期して、駆動波形パターンROM41から波形データを読み出し、ドライバ32、33、34及び42を制御する。

【0115】以上各実施例を説明したが、これらの各実施例は、任意に組み合わせて実施することが可能である。

【0116】

【発明の効果】上述の如く本発明によれば、一部のサブフィールドを除いてリセット期間中消去放電のみを行う高コントラスト駆動において、消去放電のために、直前

のサブフィールドで点灯していたセルのみ消去する消去パルスとして細幅パルスを印加するようにした場合でも、広い駆動電圧マージンを得ることができる。

【0117】更に具体的に述べれば、対向電極電位の影響による多量のマイナス（又はプラス）極性電荷の蓄積を回避し、より完全な消去が可能となる。或いは、リセット期間の消去動作において、消去不良となることなく、ほぼ完全な消去動作を実現できる。或いは、最後尾の維持放電パルス立ち下がり後の微弱放電に起因する、リセット期間における消去動作不良を防止することがで 10 ける。

【0118】或いは、仮に最後尾の維持放電パルス立ち下がり後に微弱放電が生じたとしても、続く細幅放電を正常に行うことが可能となる。或いは、リセット期間における全面書き込み／自己消去パルスによる対向電極上の電荷の消去をより完全な形で行うことができる。或いは、維持放電期間中に対向電極上に蓄積する残留壁電荷の影響を最小限に抑えられ、次の消去動作をより完全な形で行うことができる。

【0119】また、複数のリセットパルスをいずれかの電極に連続的に印加することで、異なる放電開始電圧を持つ各セルの壁電荷を、放電開始電圧に近い電圧で安定かつ確実に消去（リセット）することができる。或いは、第1及び第2又は第3の電極間の最大電位差が異なるように設定されるため、異なる放電開始電圧を持つ各セルの壁電荷を放電開始電圧に近い電圧でより安定かつ確実に消去（リセット）することができる。

【0120】或いは、リセットパルスを生成する回路を簡単に構成できる。或いは、比較的低い放電開始電圧を有するセルを最初にリセットでき、次に比較的高い放電開始電圧を有するセルをリセットすることができる。或いは、第2又は第3の電極電位を制御する回路を簡単に構成できる。

#### 【図面の簡単な説明】

【図1】3電極・面放電・AC型PDPの概略平面図である。

【図2】3電極・面放電・AC型PDPの垂直方向における概略断面図である。

【図3】3電極・面放電・AC型PDPの水平方向における概略断面図である。

【図4】従来の駆動方法を示す波形図である。

【図5】アドレス／維持放電分離型・書き込みアドレス方式のタイムチャートである。

【図6】残留壁電荷を示す図・1である。

【図7】残留壁電荷を示す図・2である。

【図8】微弱放電による影響を示す図である。

【図9】本発明の第1の実施例を示す駆動波形図である。

【図10】本発明の第2の実施例を示す駆動波形図である。

【図11】本発明の第3の実施例を示す駆動波形図である。

【図12】本発明の第4の実施例を示す駆動波形図である。

【図13】本発明の第5の実施例を示す駆動波形図である。

【図14】本発明の第6の実施例を示す駆動波形図である。

【図15】本発明の第7の実施例を示す駆動波形図である。

【図16】本発明の第8の実施例を示す駆動波形図である。

【図17】本発明の第9の実施例を示す駆動波形図である。

【図18】本発明の第10の実施例を示す駆動波形図である。

【図19】本発明の第11の実施例を示す駆動波形図である。

【図20】本発明の第12の実施例を示す駆動波形図である。

【図21】本発明の第13の実施例を示す駆動波形図である。

【図22】本発明の第14の実施例を示す駆動波形配置図である。

【図23】本発明の第15の実施例を示す駆動波形図である。

【図24】本発明の第16の実施例を示す駆動波形図である。

【図25】本発明の第17の実施例を示す駆動波形図である。

【図26】本発明の第18の実施例を示す駆動波形図である。

【図27】本発明の第19、20の実施例の原理を示す波形図である。

【図28】本発明の第19の実施例を示す駆動波形図である。

【図29】図28に示す第19の実施例の変形例を示す図である。

【図30】本発明の第20の実施例を示す駆動波形図である。

【図31】図30に示す第20の実施例の変形例を示す図である。

【図32】本発明のプラズマディスプレイ（PDP）の駆動装置の一実施例を示す図である。

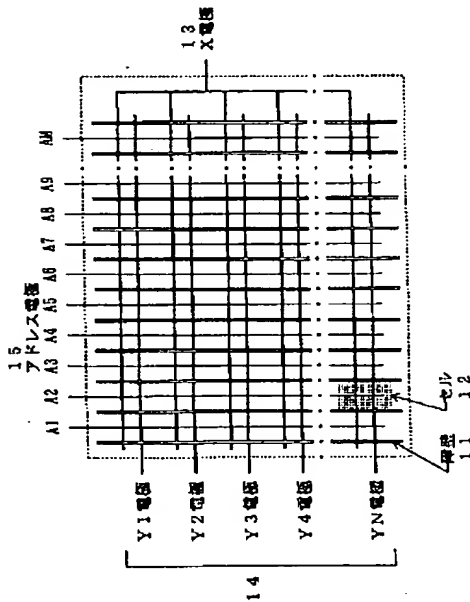
#### 【符号の説明】

- 1 1 障壁
- 1 2 セル
- 1 3 X電極
- 1 4 Y電極
- 50 1 5 アドレス電極

- 1 6 背面ガラス基板
- 1 7 蛍光体
- 1 8 全面ガラス基板
- 1 9 維持電極
- 1 9 a 透明電極
- 1 9 b バス電極
- 2 0 誘電体層
- 2 1 MgO膜
- 2 3 ~ 2 8 リセット期間
- 3 0 パネル
- 3 1 アドレスドライバ

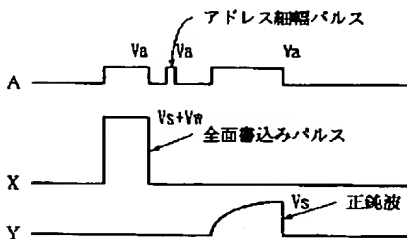
【図 1】

3 電極・面放電・AC型PDPの概略平面図



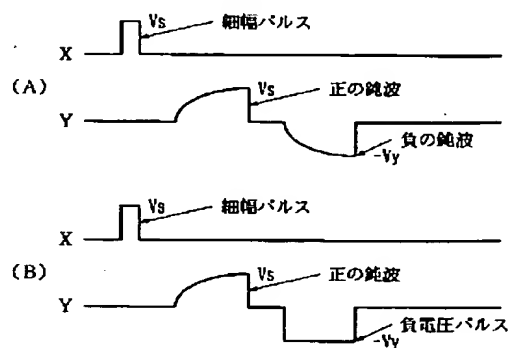
【図 2 1】

本発明の第 1 3 の実施例を示す駆動波形図



【図 2 4】

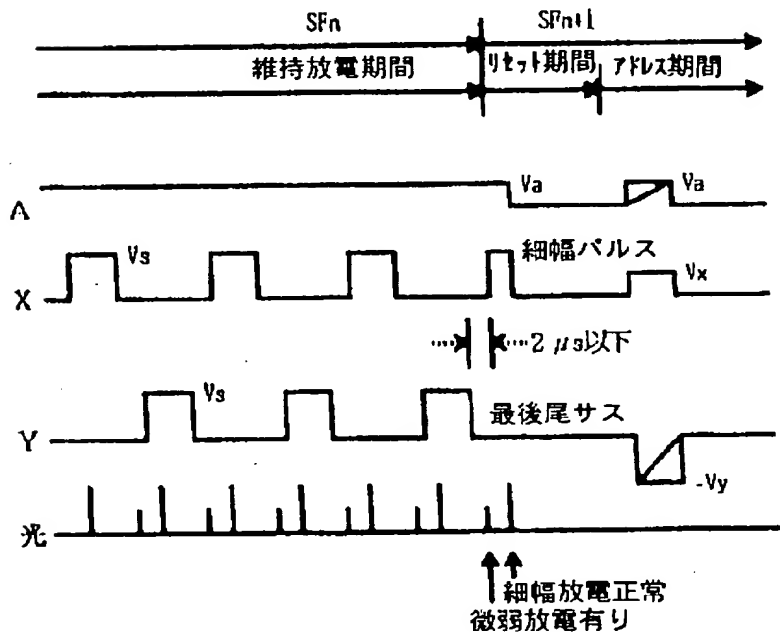
本発明の第 1 6 の実施例を示す駆動波形図



- 3 2 X 共通ドライバ
- 3 3 Y 共通ドライバ
- 3 4 Y スキャンドライバ
- 3 5 制御回路
- 3 6 表示データ制御部
- 3 7 フレームメモリ
- 3 8 パネル駆動制御部
- 3 9 スキャンドライバ制御部
- 4 0 共通ドライバ制御部
- 10 4 1 駆動波形パターンROM

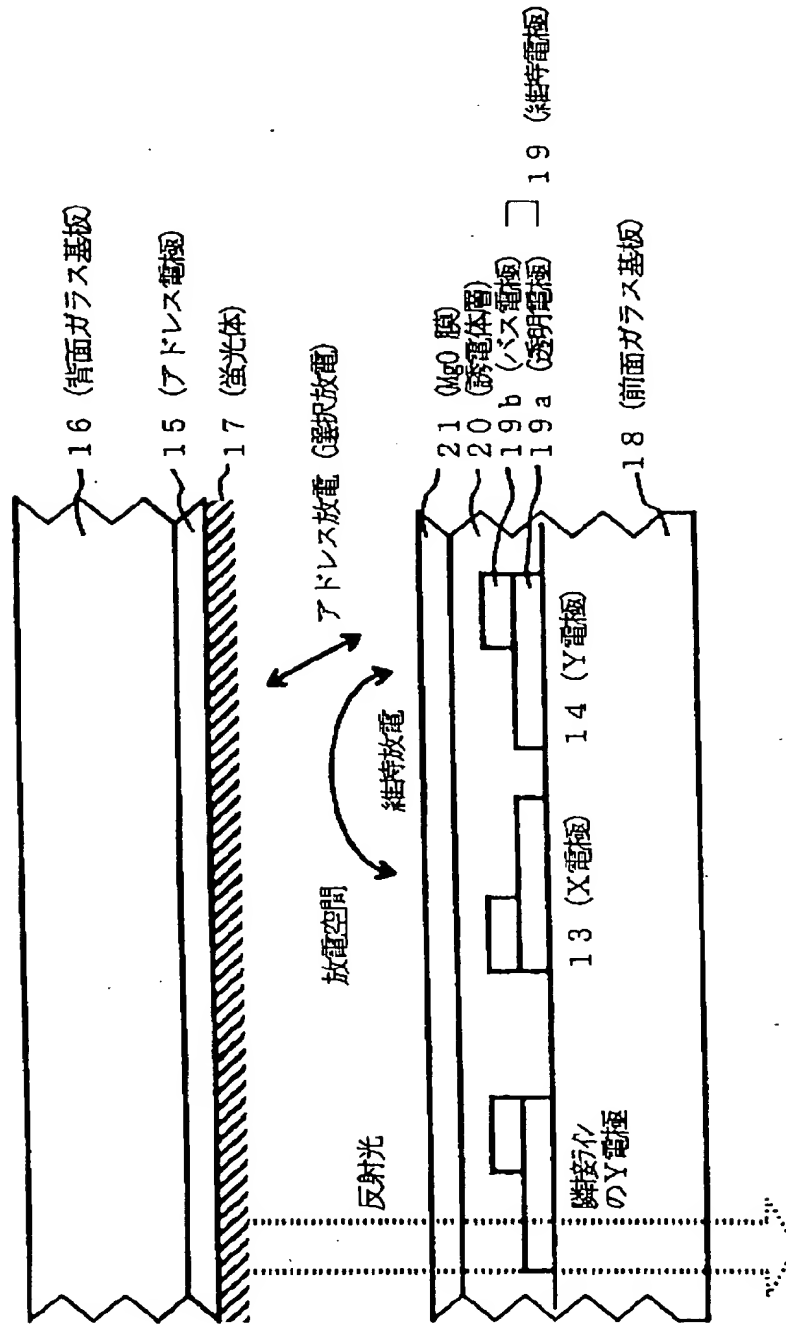
【図 1 3】

本発明の第 5 の実施例を示す駆動波形図



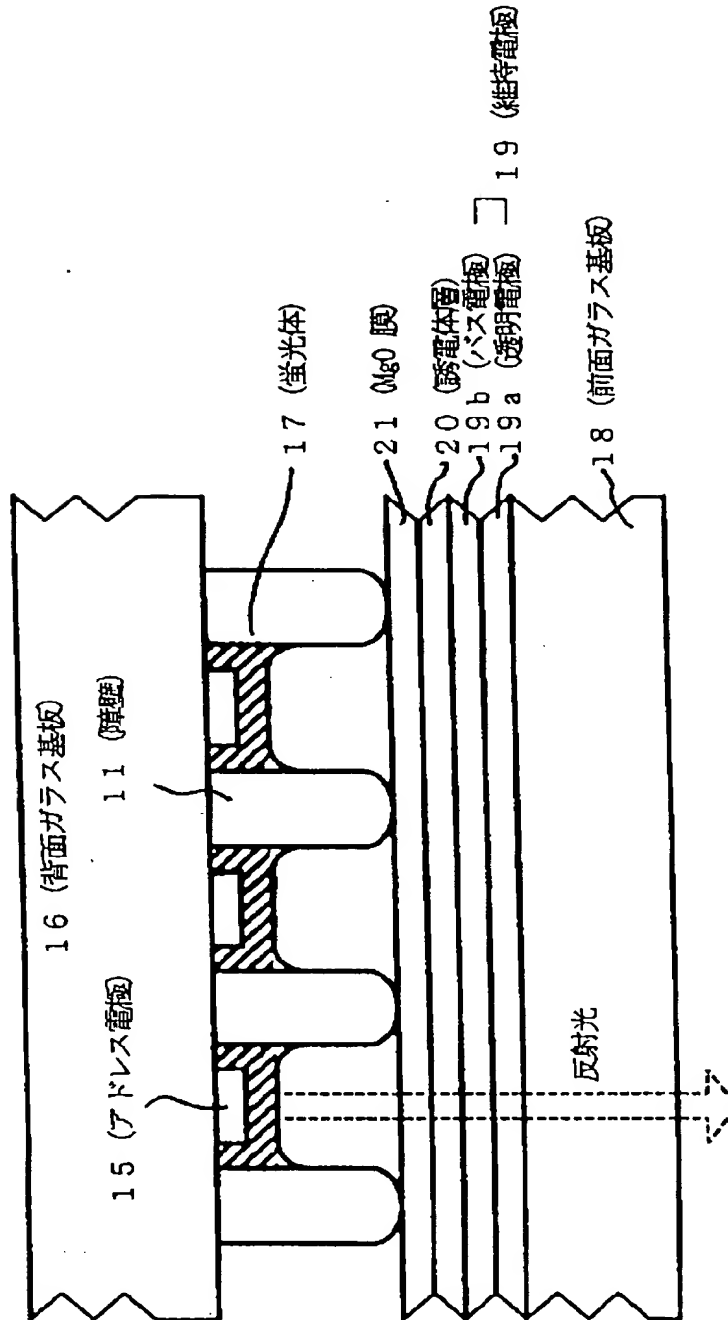
【図 2】

3 電極・面放電・AC型PDPの垂直方向における概略断面図



【図 3】

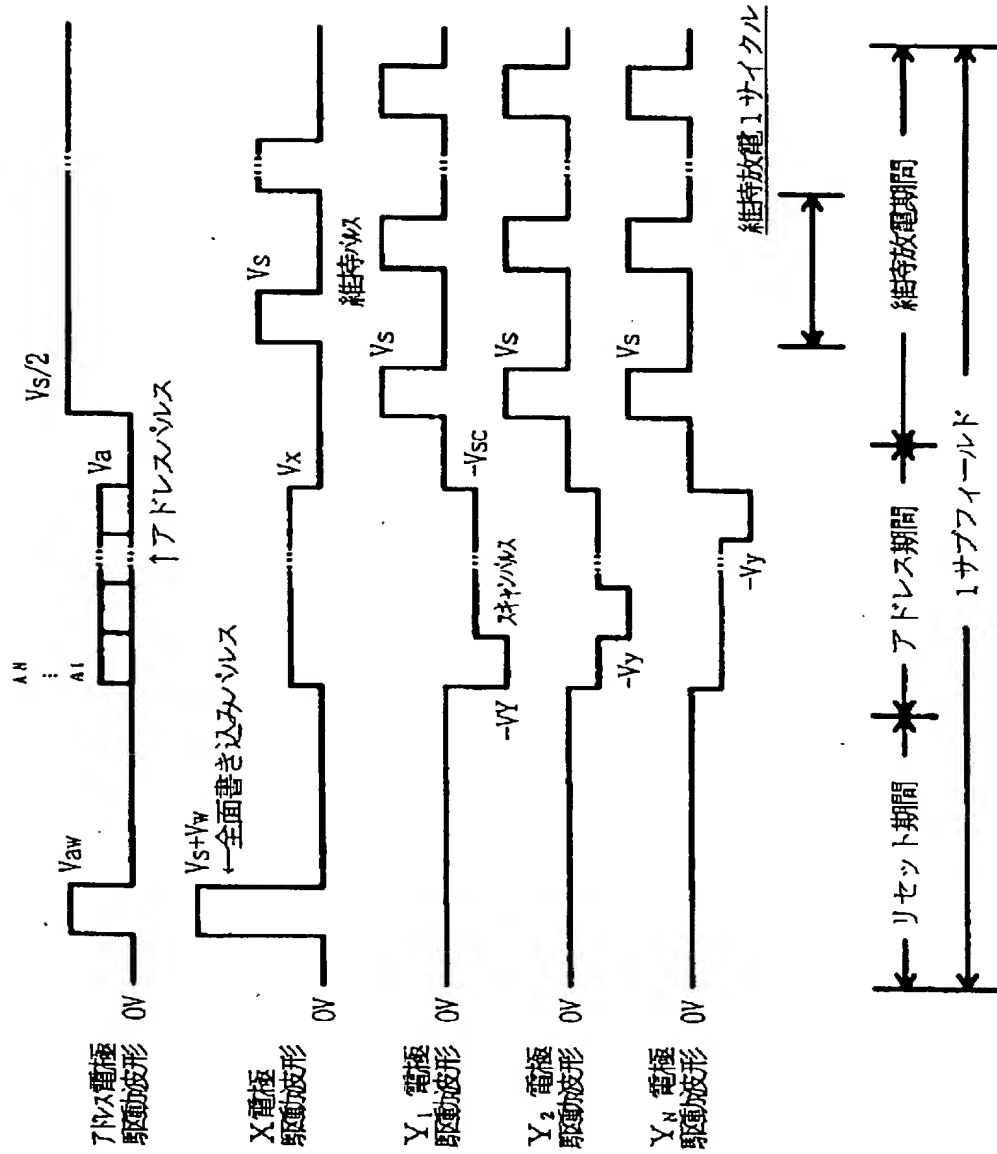
3 電極・面放電・AC型PDPの水平方向における概略断面図





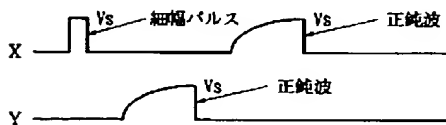
【図 4】

従来の駆動方法を示す波形図



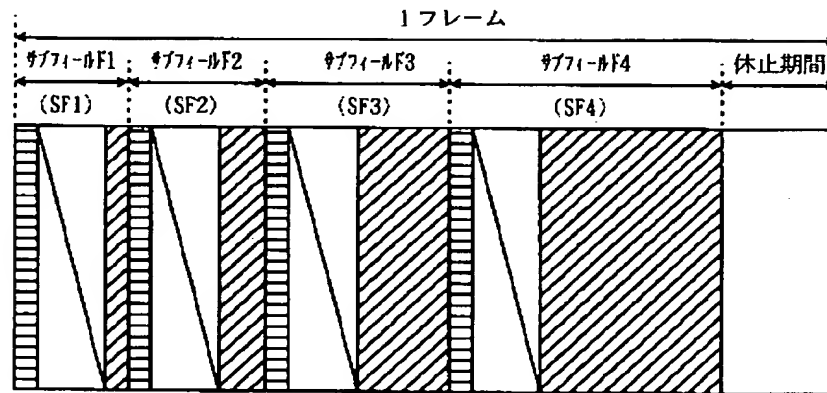
【図 26】

本発明の第 18 の実施例を示す駆動波形図



【図 5】

## アドレス／維持放電分離型・書き込みアドレス方式のタイムチャート



リセット期間

\* 前 S F の壁電荷を消去し、全面均一な状態にする。

アドレス期間

\* 線順次での書き込み放電アドレスにより、1 ライン毎に、表示セルの選択を行う。

維持放電期間

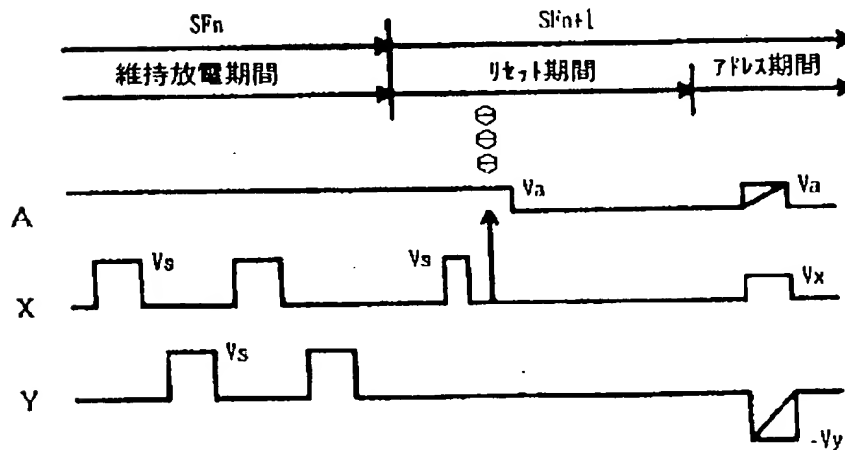
\* 維持放電のみを行う。  
各サブフィールドの維持放電の回数比は、  
1 : 2 : 4 : 8 となっている。

休止期間

\* 駆動波形を出力しない期間 (全電極 0 V)

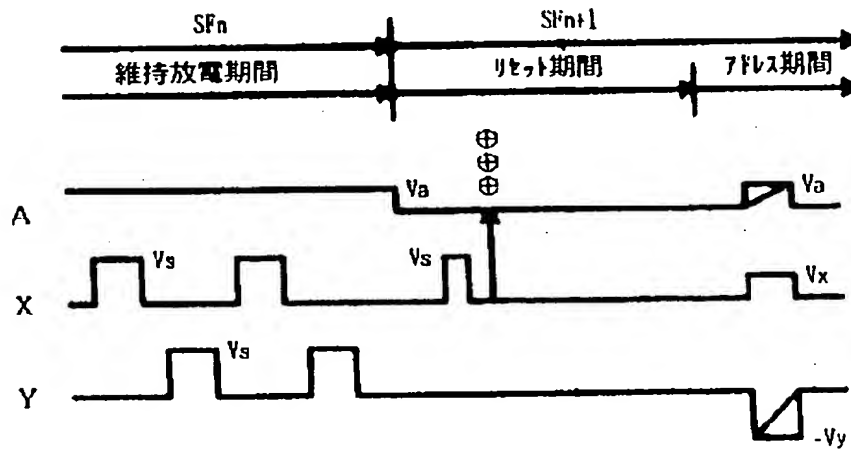
【図 6】

## 残留壁電荷を示す図・1



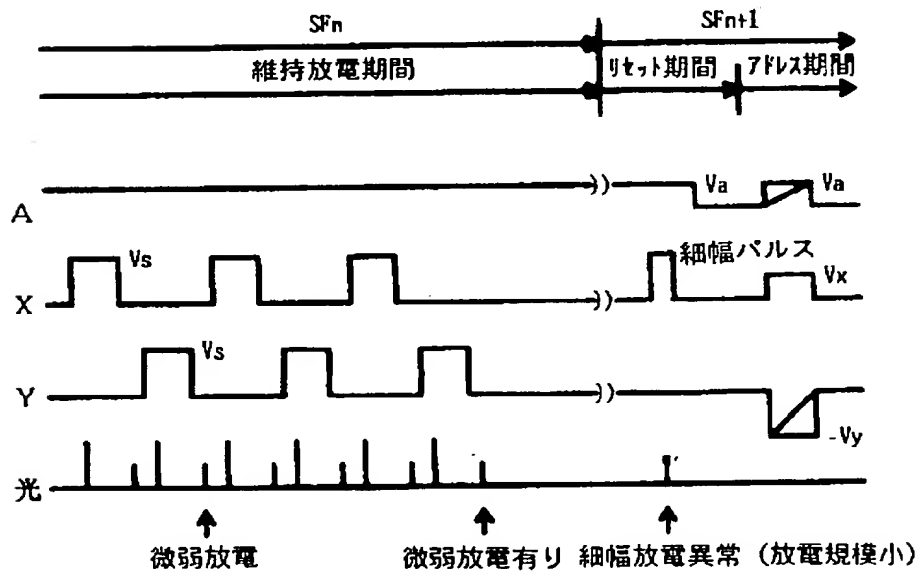
【図 7】

残留壁電荷を示す図・2



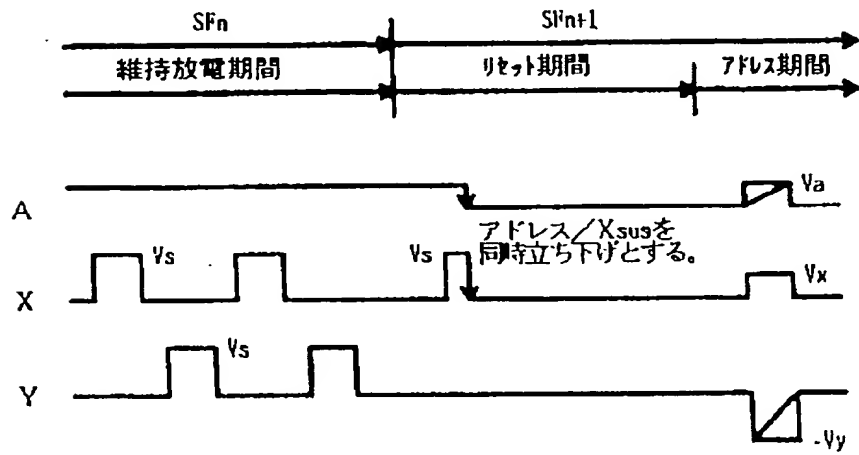
【図 8】

微弱放電による影響を示す図



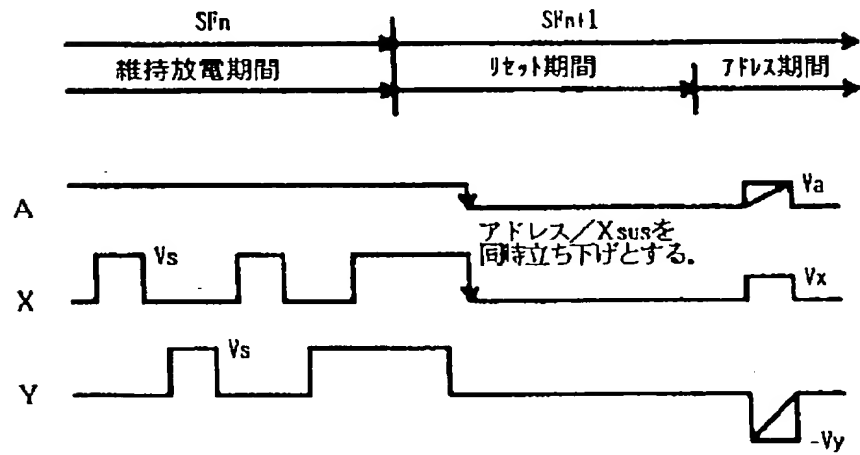
【図 9】

本発明の第 1 の実施例を示す駆動波形図



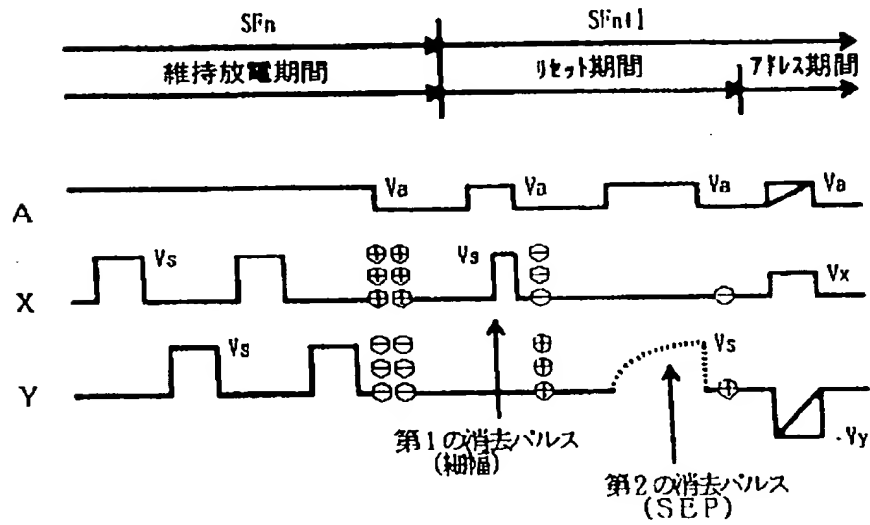
【図 10】

本発明の第 2 の実施例を示す駆動波形図



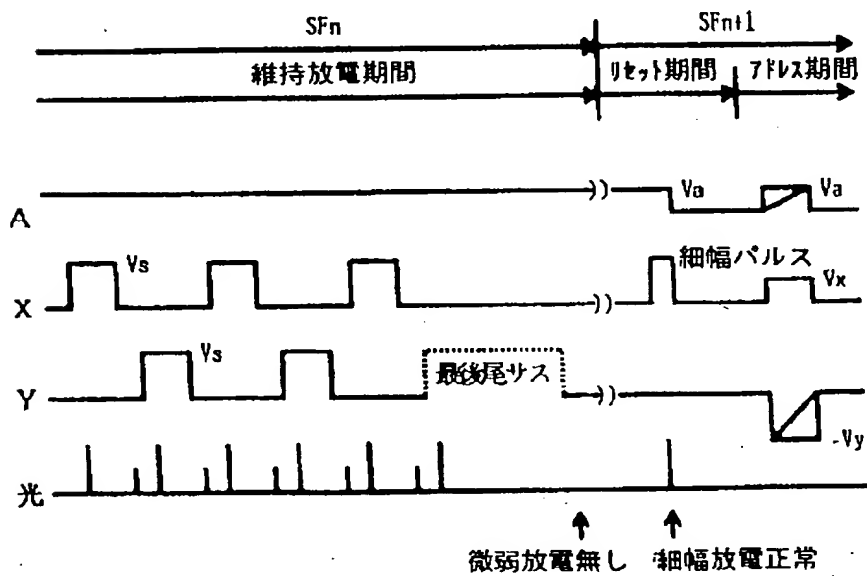
【図 11】

本発明の第 3 の実施例を示す駆動波形図



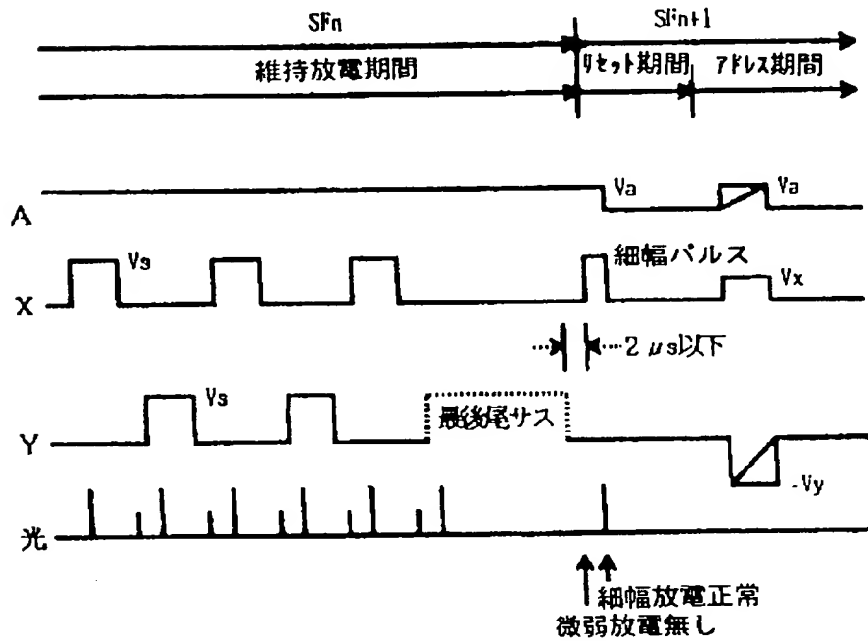
【図 12】

本発明の第 4 の実施例を示す駆動波形図



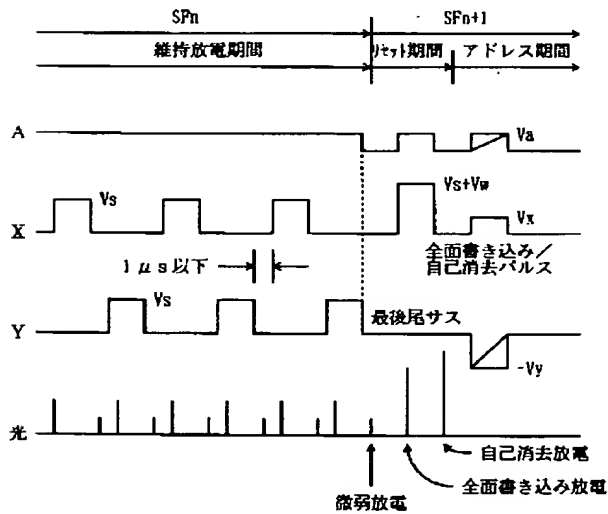
【図 14】

本発明の第 6 の実施例を示す駆動波形図



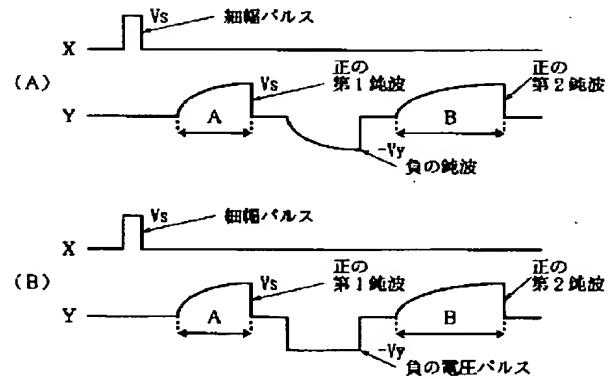
【図 15】

本発明の第 7 の実施例を示す駆動波形図



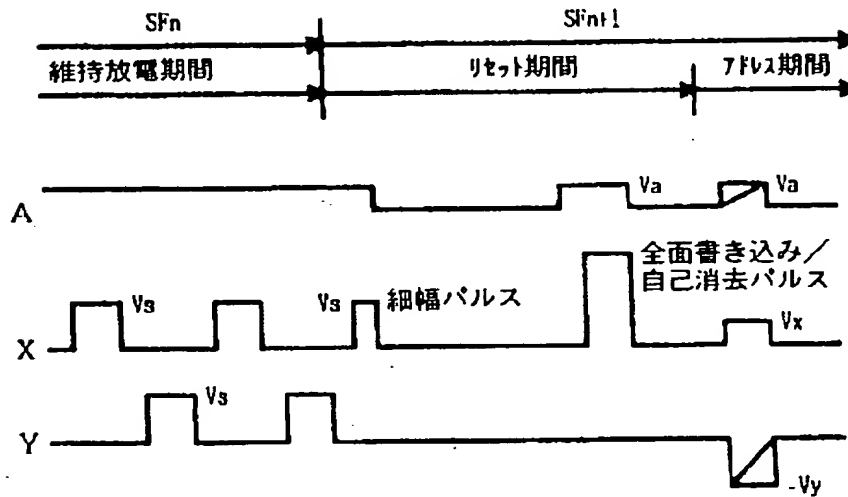
【図 25】

本発明の第 17 の実施例を示す駆動波形図



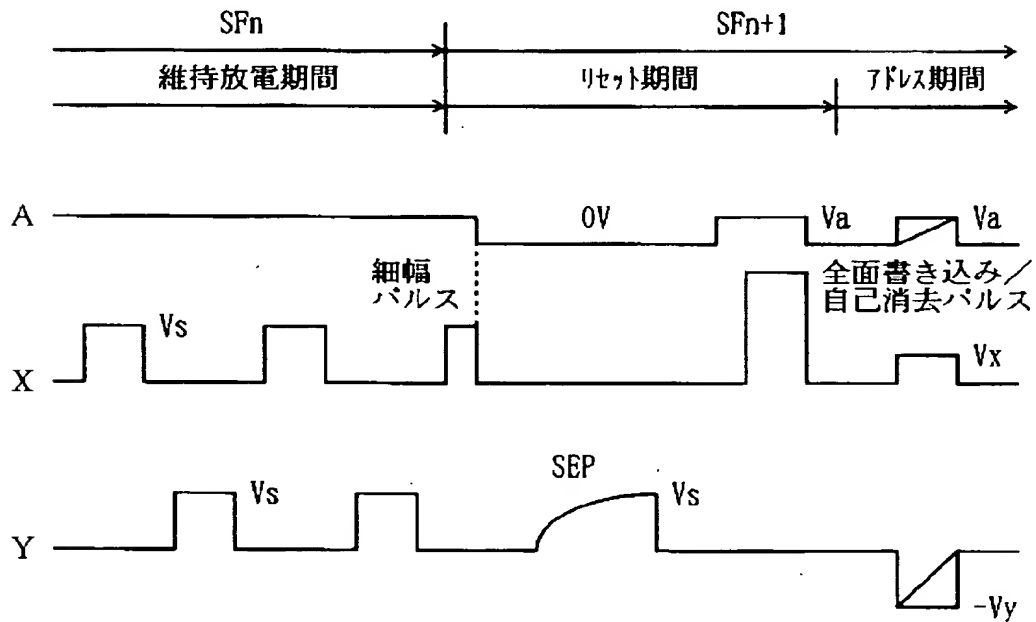
【図 1 6】

本発明の第 8 の実施例を示す駆動波形図



【図 1 7】

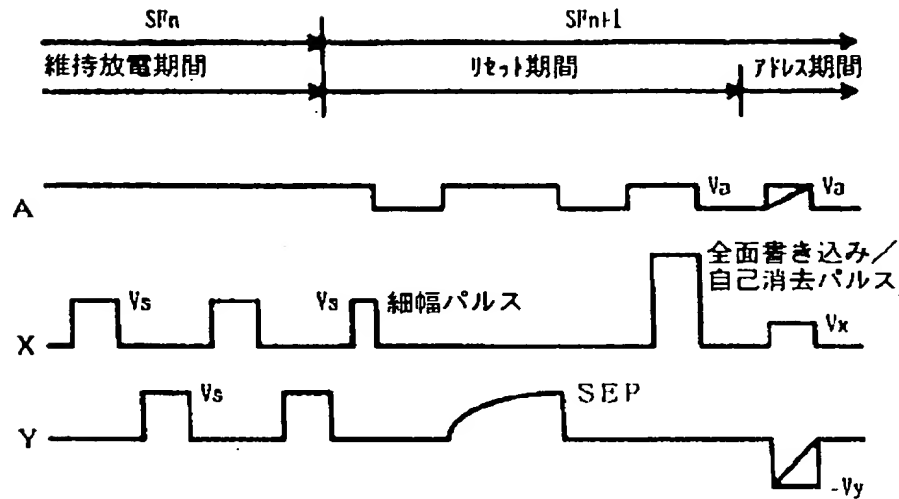
本発明の第 9 の実施例を示す駆動波形図





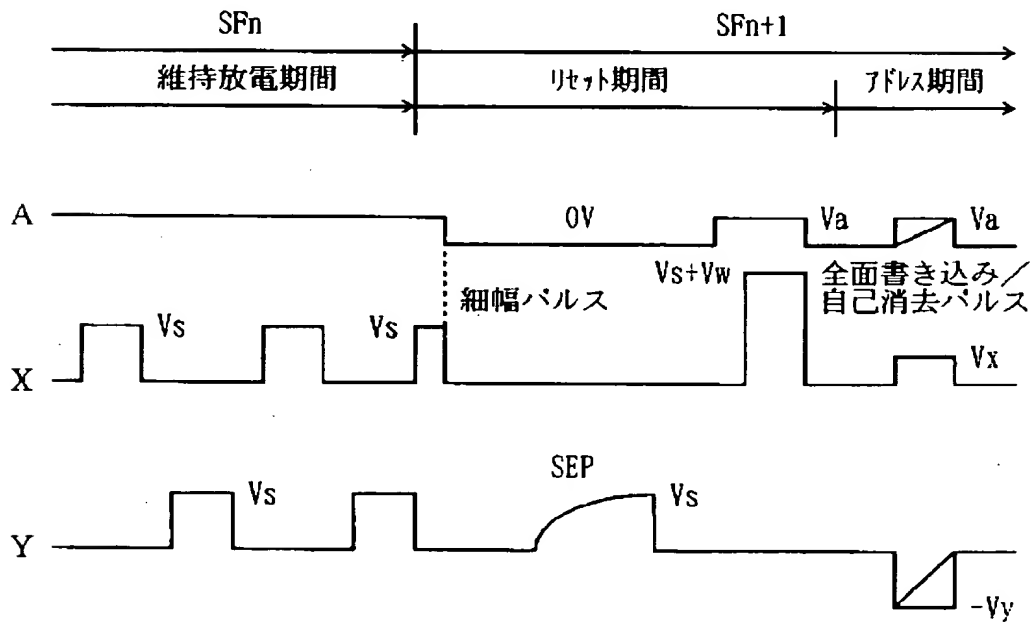
【図 1 8】

本発明の第 1 0 の実施例を示す駆動波形図



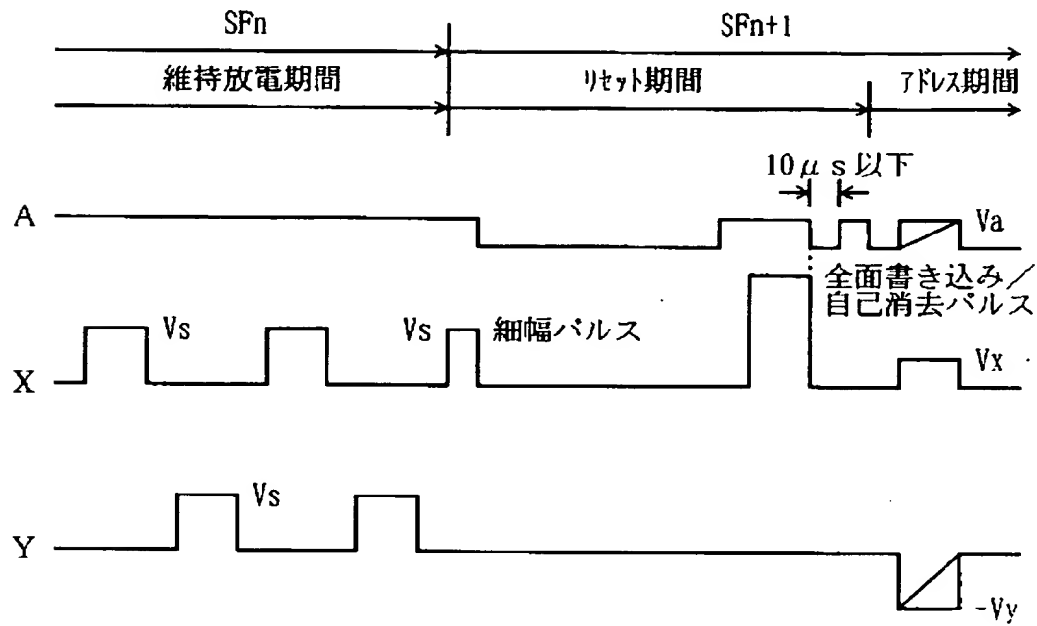
【図 1 9】

本発明の第 1 1 の実施例を示す駆動波形図




【図 2 0】

## 本発明の第 1 2 の実施例を示す駆動波形図



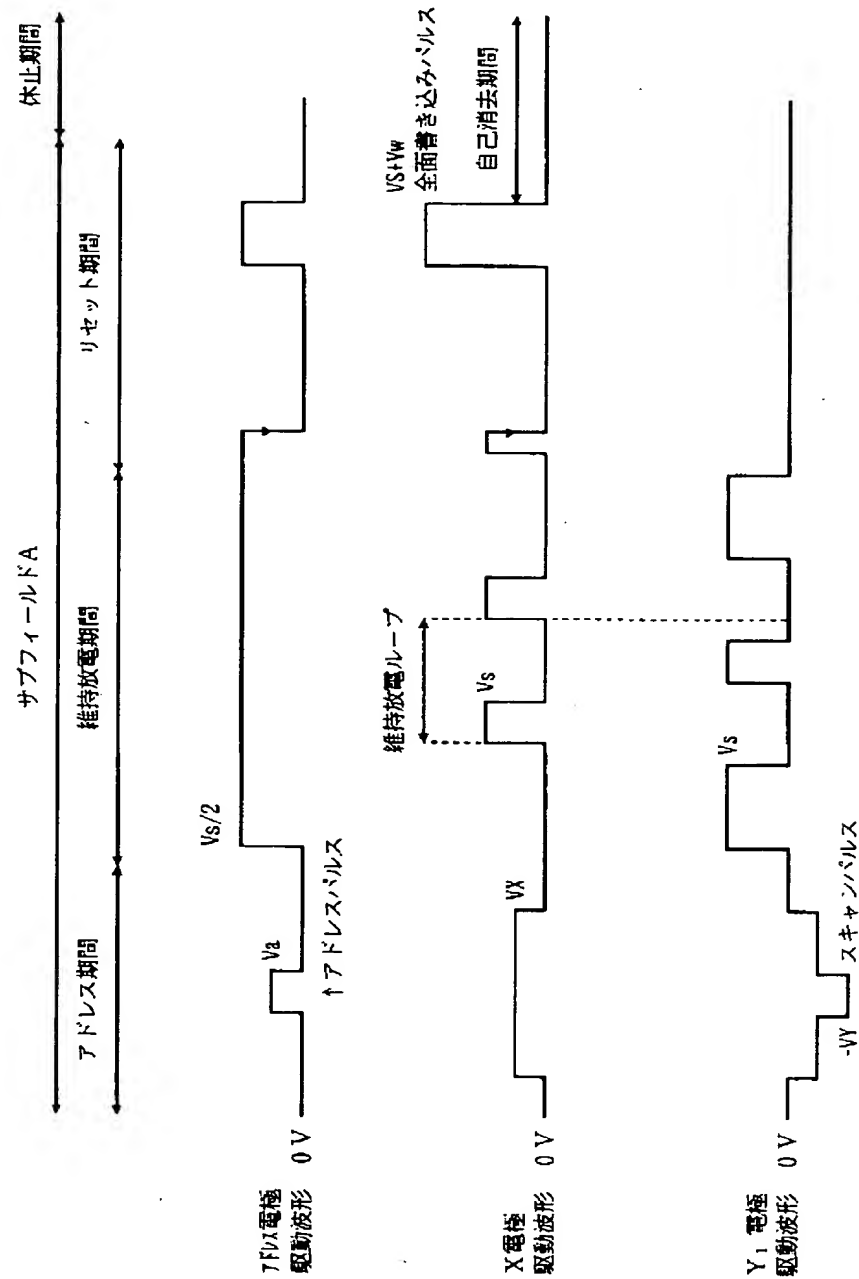
本発明の第 1 4 の実施例を示す駆動波形配置図

Figure 1 is a timing diagram for a 17-bit bus. The top part shows a sequence of four subframes (SF1, SF2, SF3, SF4) separated by subframe gaps, followed by a stop period. The bottom part shows a detailed view of the bus activity for each subframe, with labels 23 and 24 indicating specific signal transitions.

-  リセット期間
-  アドレス期間
-  維持放電期間
-  休止期間

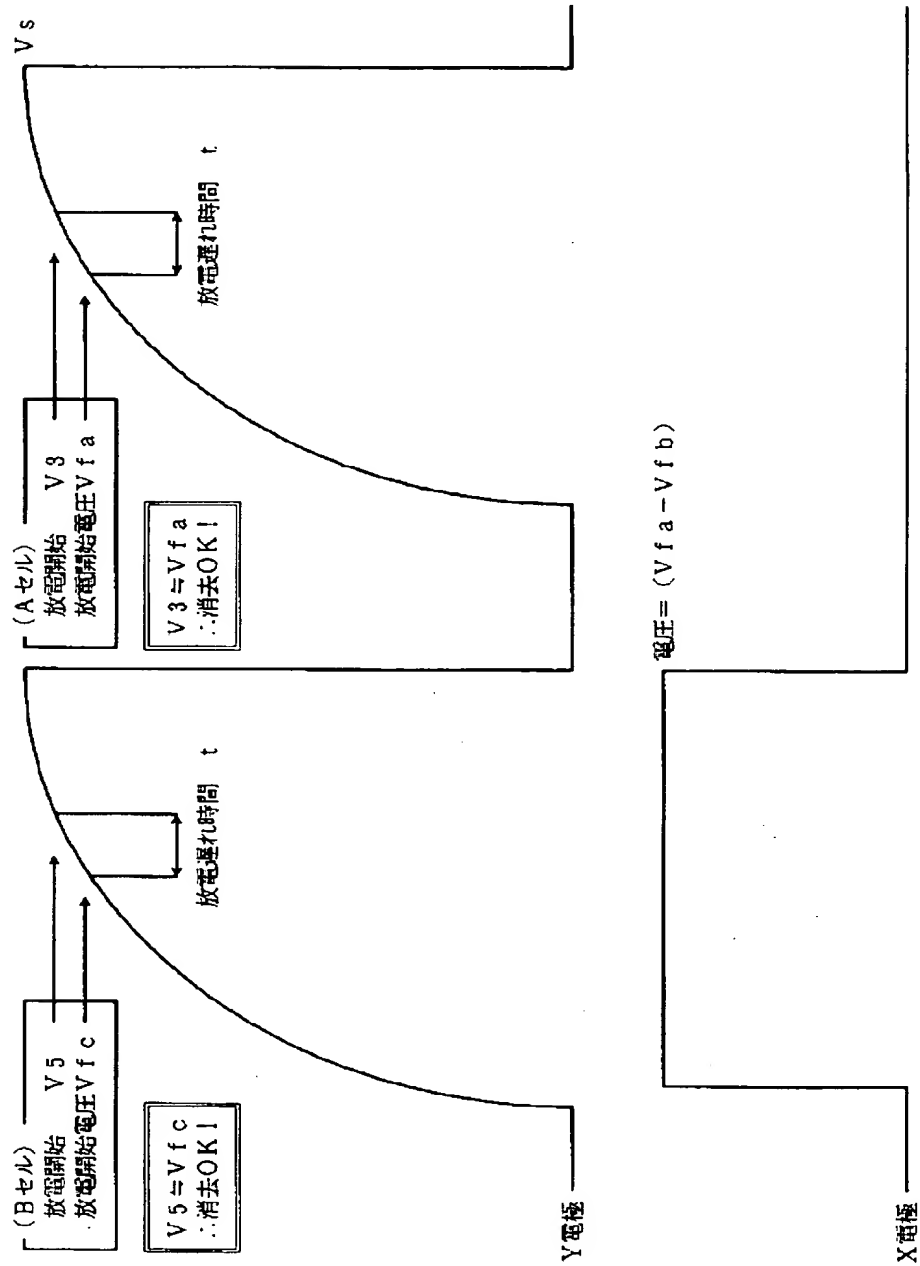
【図 2 3】

本発明の第 1 5 の実施例を示す駆動波形図



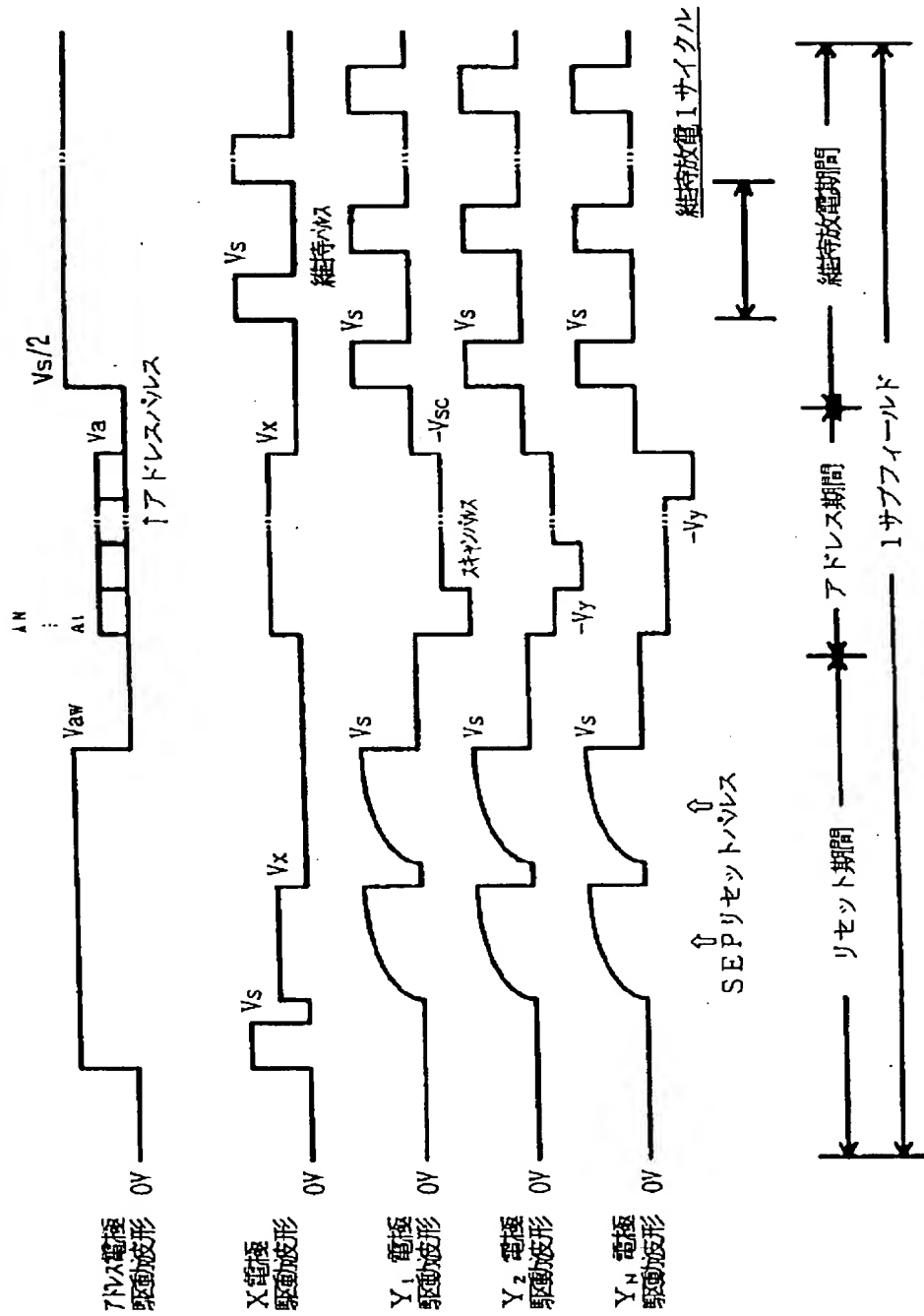
【図 2 7】

本発明の第 1 9, 2 0 の実施例の原理を示す波形図



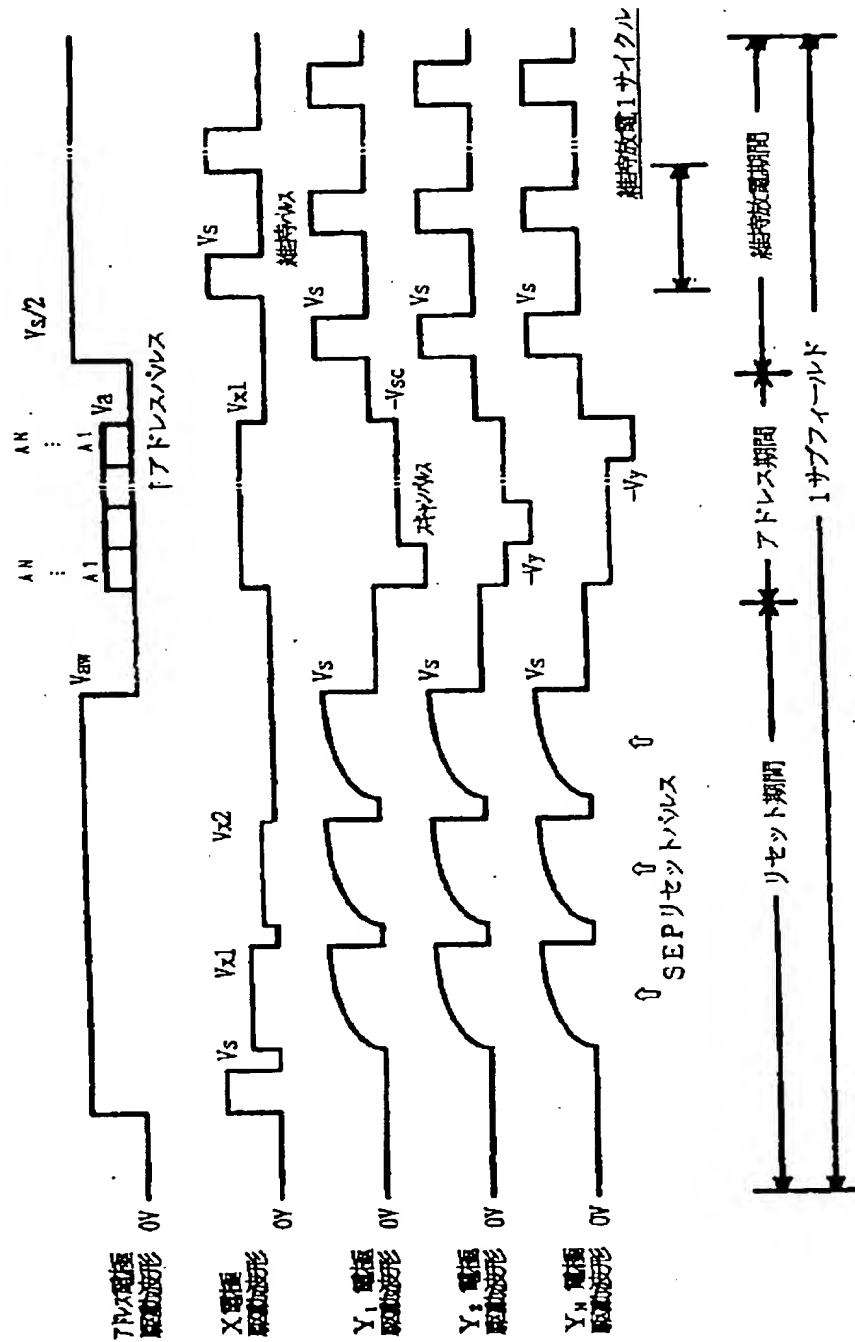
【図 2 8】

本発明の第 1 9 の実施例を示す駆動波形図



【図 2 9】

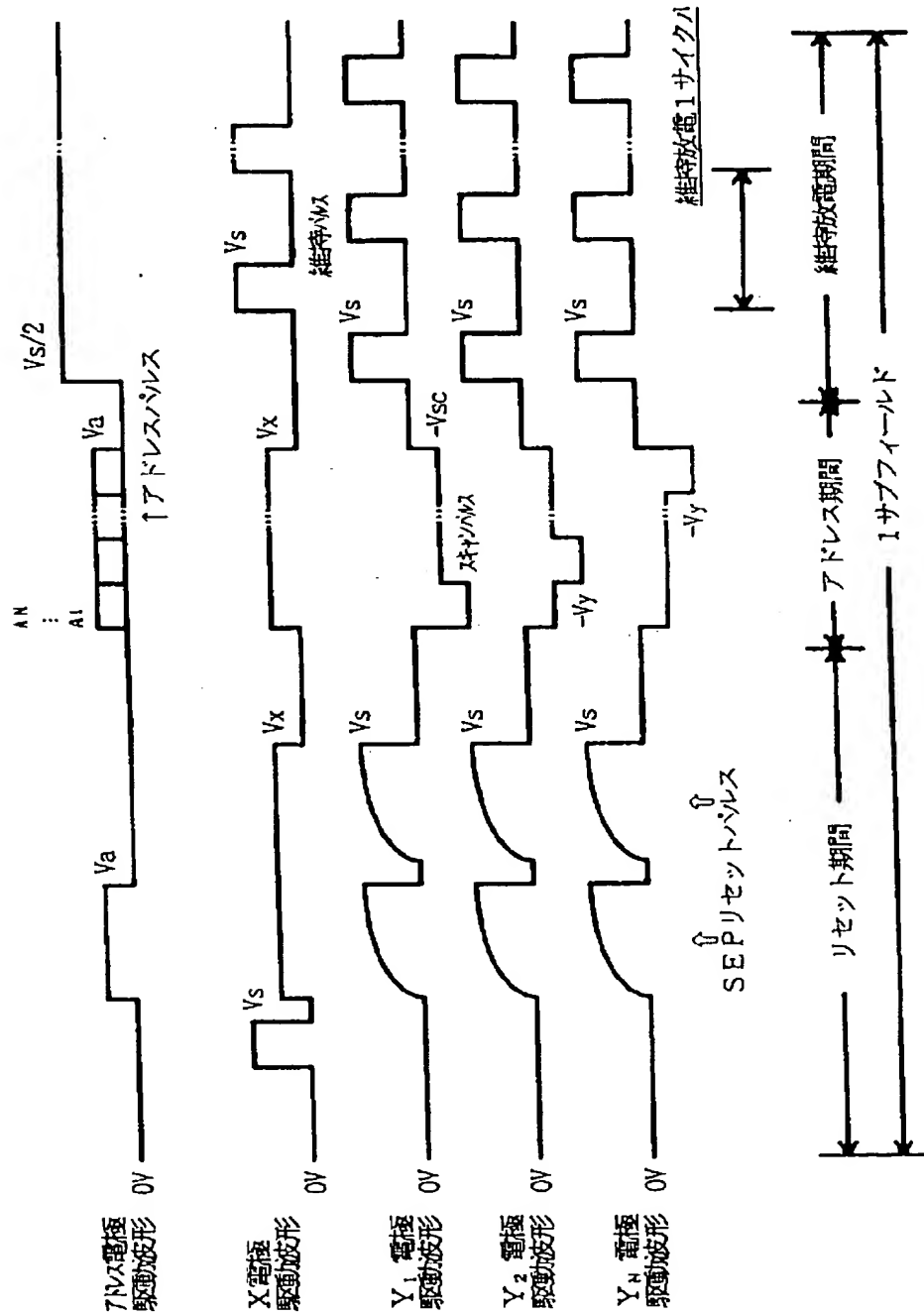
図 2 8 に示す第 1 9 の実施例の変形例を示す図





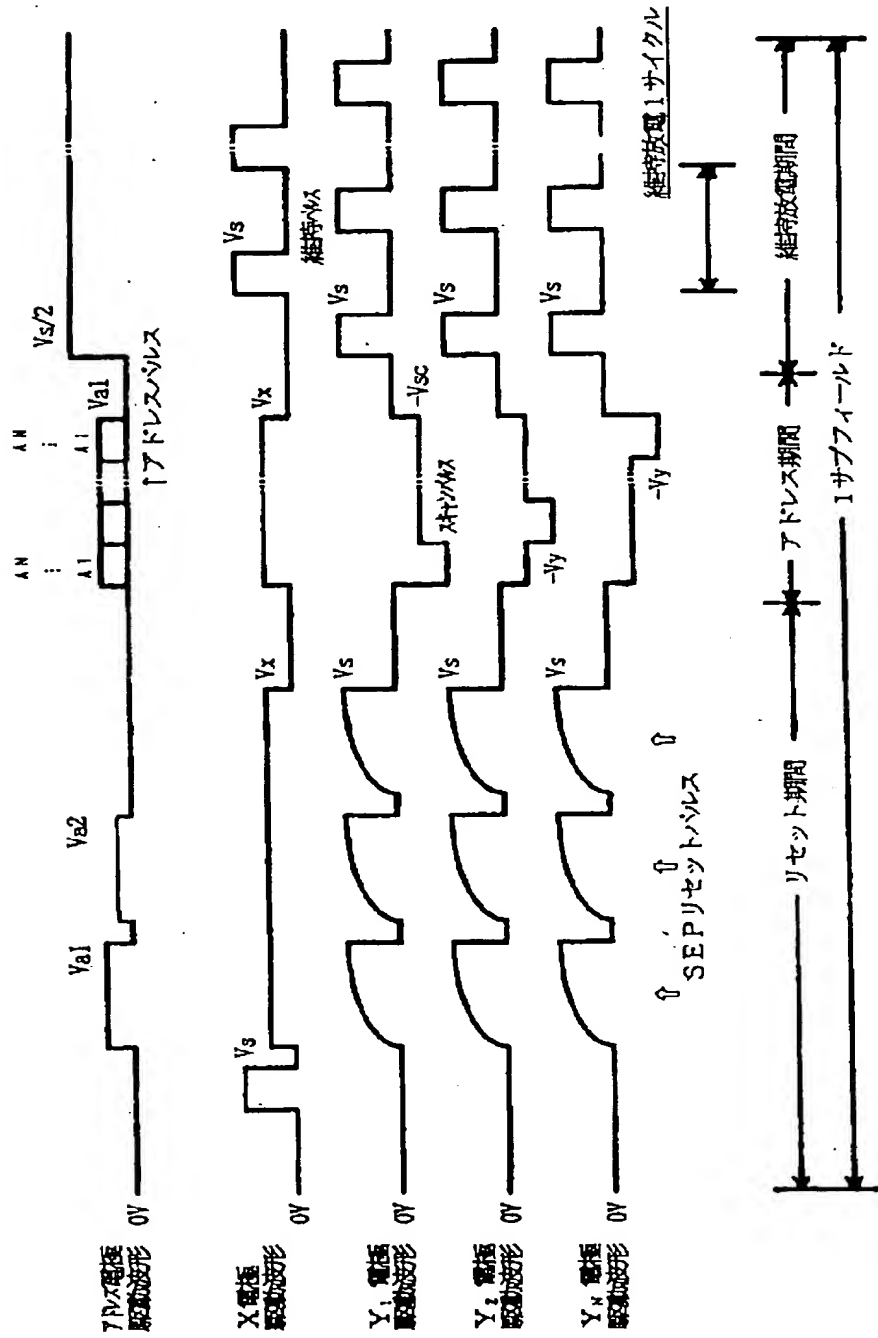
【図 30】

本発明の第 20 の実施例を示す駆動波形図



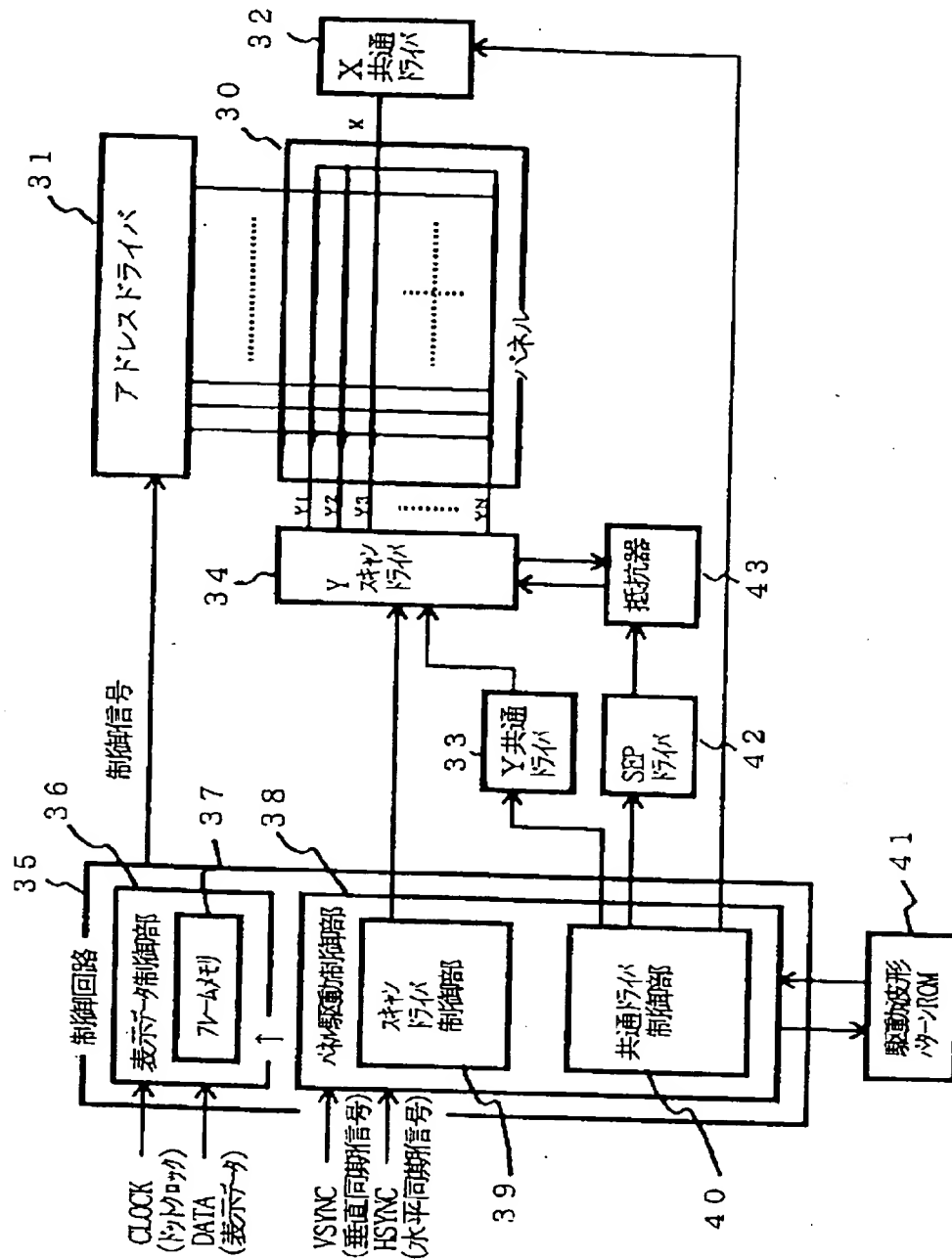
【図 31】

図 30 に示す第 20 の実施例の変形例を示す図



【図 3 2】

本発明のプラズマディスプレイパネル (PDP)  
の駆動装置の一実施例を示す図



フロントページの続き

(72) 発明者 富尾 重寿  
神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内

(72) 発明者 広瀬 忠継  
神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内

(72)発明者 金子 啓一  
神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内  
(72)発明者 亀山 茂樹  
神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内

(72)発明者 岸 智勝  
神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内  
(72)発明者 坂本 哲也  
神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内  
(72)発明者 高木 彰浩  
神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内